

李振宁



男 | 36岁 | 15017513382

11年工作经验 | FPGA开发 | 期望薪资: 24-35K | 期望城市: 广州

个人优势

- 1) 熟悉各种高速ADC/DAC芯片驱动配置与数据时序以及数据接口逻辑控制, 包括lvds接口和jesd204b接口等。
- 2) 熟悉HDMI、DVI, sdi等视频接口的电路设计及逻辑接口设计各种视频时序等
- 3) 熟悉DDR3, DDR4高速缓存逻辑控制verilog代码设计, 熟悉高速serdes传输接口的调试和使用。
- 4) 熟悉spi, uart, I2c总线接口, 千兆以太网, 万兆以太网, USB3.0接口以及pcie接口逻辑控制设计, 熟悉以太网UDP和tcp/ip协议。
- 5) 精通各种数字信号处理, 图像处理算法的matlab仿真优化以及FPGA实现。
- 6) 熟悉xilinx、altera, lattice, 国产紫光等各家FPGA开发工具和流程, 熟悉modelsim仿真和zynq soc开发, 以及熟悉FPGA时序分析, 约束以及优化。
- 7) 熟悉各种sensor摄像头的驱动控制, 增益和曝光控制, lvds接口数据处理, mipi接口数据处理以及isp处理。

工作经历

高勘（广州）技术有限公司 高级fpga工程师

2025.03-至今

在研发部进行各个项目有关fpga部分开发工作, 包括:

- 1、频谱侦测项目: 该项目FPGA采用xilinx的Zynq Ultrascale+ (型号为xczu15eg), 独立负责该项目所有fpga开发工作, 如fpga系统架构规划, 各个模块代码编写仿真与调试, 算法仿真与实现。具体如: 多台设备系统同步控制模块, adr9009的jesd接口逻辑控制、DDR4高速读写控制模块, iQ数据采集模块, 短时fft变换处理模块, 滑动fft处理与帧平均处理模块, 镜像频率消除算法模块, 异常信号捕捉实现模块, 数据封装打包模块, PS与PL的高速DMA传输模块与参数交互模块, 万兆网数据高速传输模块等等。
- 2、BOTDR项目: 该项目型号采用xilinx的K7系列 (型号为k7410t), 独立负责该项目fpga所有开发工作, 具体如: 高速ADC9613接口逻辑配置与数据接收控制, ddr3的高速读写控制模块, fft的多帧功率平均处理模块, 多个adc的数据拟合算法处理实现模块, 数据封装打包模块, pcie接口高速数据传输与参数交互模块等。
- 3、208通道声学成像项目: 该项目fpga采用国产安路fpga (型号为PH1P35MHG324), 独立负责该项目fpga开发工作, 如8通道音频芯片ADAU7118接口配置与数据接收处理模块, 208通道数据采集与封装打包模块, 千兆以太网高速数据传输模块与参数交互模块等

广州瑞派医疗器械有限责任公司 fpga工程师

2023.03-2025.03

主要负责医用内窥镜的图像视频处理器的FPGA上的逻辑控制和各种图像算法实现和优化。包括:

- 1、各种图像芯片sensor如ov9734, es101等的控制配置, 自动曝光控制, 自动增益控制以及isp处理。
- 2、图像算法fpga实现, 包括: 视频任意缩放, 视频旋转, 视频变形, 视频拼接, 视屏叠加, 等, 还有图像增强算法, 如cfa, ccm, 锐化增强, HDR, 视频降噪, 限制直方图对比度增强CLAHE等等。
- 3、DDR4的内存控制管理的逻辑控制, 兼容各通信接口和算法对缓存的控制需求。
- 4、pcie与cpu的之间视屏数据以及参数传输。
- 5、fpga内嵌microblaze软核控制hdmi ip核接收serdes接口下传的4k视频数据, 解码后并生成各种标准视频时序, 然后发送到外面hdmi, dvi, sdi, cvbs等接口以及edp显示屏进行显示。
- 6、iic, spi等接口与外界的参数通信和配置等。
- 7、bt1120等标准视频接口与cpu的交互。
- 8、视频fft频域滤波处理去条纹算法fpga实现。

在研发中心主持公司的超声相控阵、全聚焦成像项目的 FPGA 工作，包括每个项目的 FPGA 原器件选型，协议文档撰写，资源使用评估，项目周期等，并独立负责和指导项目所有相关工作,包括：

1、撰写专利并获得发明专利授权：

1)一种基于 FPGA 实现的高帧率超声全聚焦成像系统，已授权，授权号：CN110927254B。

2)低功耗超声全聚焦成像系统及方法，已授权，授权号：CN111413408B。

2、32-128超声相控阵仪器：独自编写和验证整个系统的代码，包括超声采集芯片 ADC和 DAC 等芯片的 SPI 接口驱动配置，ADC 增益智能控制模块，系统同步信号产生模块，前置信号滤波器模块，高精度脉冲同步发射模块，发射和接收开关阵列切换模块，信号延时叠加算法模块，数据处理模块（抽样，带通滤波，插值，信号长度缩放，平均滤波等），数据闸门判决报警模块，spi 接口控制模块，参数下发解包模块，数据上传打包模块，EBI 接口控制模块等。

3、超声全聚焦成像项目：编写 FPGA 代码采集仿真数据，对数据进行全聚焦成像算法 matlab 仿真和优化，设计项目实现文档，文档包括公式优化 FPGA 设计架构和模块划分，独自编写和验证整个系统的代码，包括各种 AD 芯片驱动 SPI 接口驱动配置、AD 芯片增益智能调节、DA 芯片配置输出、全聚焦成像算法，FIR 滤波器、希尔伯特变换、fft 滤波，图像缓存控制、运算控制、图像平滑算法、数据打包和解包模块，千兆以太网接口控制模块等整个项目代码。

4、128-128通道超声板卡项目：2个从数据处理板和1个主传输控制板卡构成一个128通道的相控阵和全聚焦成像系统，主从板之间通过 serdes（aurora 协议）接口传输参数和处理后数据。每个从板有64个通道，以及64对 lvds 接口，有4片 ddr3，用一个 ddr3 IP 进行控制处理。超声信号采集，处理和成像后的视频处理在从板各自同步完成，在主板上进行合成和合成后的数字滤波，希尔伯特变换，以及图像后处理，之后把这些数据通过千兆网或万兆网或 USB3.0传到上位机。

5、64-128超声仪器项目：带有64个发射通道和128个接收采集通道，整个 FPGA 架构在前面几个项目上进行优化，支持多组和多种全聚焦 TFM 成像或相控阵 PA 成像在一帧内处理完成，支持任意算法里的任意通道原始数据上传，支持 TFM和 PA 成像混合使用，并通过千兆网或万兆网实时上传到上位机。

6、16-64小型超声相控阵仪器项目，16-128小型板卡项目，adc接口由lvds接口改为jesd204b接口等等各种小项目。

深圳创显光电有限公司 FPGA工程师

2015.07-2017.07

在定制化部门独立负责视频发送盒上的 Xilinx FPGA 有关部分的电路设计，功能优化和 verilog 代码实现，对视频图像进行实时处理以及发送。

包括：

(1) SDI、HDMI、DVI、DP 等视频接口的电路设计及逻辑接口设计，以及这些接口芯片的文档阅读，通过I2C协议对芯片进行驱动配置。

(2) 各种视频格式转换，YUV转 RGB，YUV422转444等。

(3) DDR 3高速缓存的电路接口设计以及逻辑控制。

(4) 千兆以太网实时收发视频数据，采用形如 UDP 数据包形式传输。

(5) FPGA与 MCU 通过 SPI 协议通讯，FPGA 与上位机的 UART 通讯。

(6) 多个视频发送盒之间通过 serdes 高速串口 gtx 对多个视频进行帧同步。

(7) vivado 时序分析，约束和优化，modelsim 功能仿真和测试。

(7) 使用示波器、逻辑分析仪等工具进行相关测试和分析。

(8) 图像处理算法的 matlab 仿真，以及速度和性能优化。

(9) 图像处理算法的 verilog 实现，包括视频叠加、缩放、视频降噪，FIR 滤波器，图像边缘锐化，饱和度增强，对比度增强，去雾，低照度增强等算法实时实现。

(10) FPGA 内部产生测试视频的代码设计实现。

教育经历

华南理工大学	硕士	电子与信息学院	2012-2015
华南理工大学	本科	电子科学与技术	2008-2012