

孙玉昆 男 26岁

求职意向：FAE

电话：15039689573（微信同号）

籍贯：河南省驻马店市

邮箱：syker@foxmail.com



教育背景

2023.9 - 2026.6	北京信息科技大学（研究生）	GPA（前20%）	仪器科学与技术
2018.9 - 2022.6	景德镇陶瓷大学（本科）	GPA（前20%）	自动化

专业技能

EDA工具：熟练使用AD、嘉立创EDA进行原理图与PCB设计，有四层板Layout经验，熟练使用Vivado、Quartus II全流程开发，熟悉Keil开发环境；**CET-6**，有多个阅读datasheet完成独立开发经验；

硬件电路：熟悉FPGA、ARM核心板外围电路设计，多级电源树架构设计，深刻理解开关电源LDO与DCDC（Buck/Boost等）拓扑的选型依据、效率与噪声权衡，了解高速电路信号SI、PI设计基础；

编程语言：精通Verilog，熟悉SystemVerilog，熟悉STA，掌握时序约束常用方法，有独立完成RTL代码设计、仿真验证与时序收敛（300MHz+）全流程开发经验，熟悉C、C#，有配合软件部门协同调试经验；

通信协议：具备千兆以太网UDP硬件栈实现与调试经验，熟悉AXI4协议（Full/Lite/Stream）集成与验证。熟练掌握SPI、I²C、UART等接口协议，具备外设电路设计调试，参数配置、与系统集成经验；

外设接口：熟悉SDRAM/DDR3读写流程，能根据时序要求设计控制逻辑并优化读写时序，熟悉基于LVDS接口高速ADC采集，CMOS数据采集，振镜扫描DAC驱动控制实现经验；多个板级调试经验，熟练运用ILA、VIO并结合逻辑分析仪、信号发生器，示波器等高效定位问题。

实习经历

2025.8 - 2025.10 梅卡曼德机器人科技股份有限公司 相机组FPGA实习生

参与Mech-Eyes LSR-L系列产品sensor的FPGA侧数据采集与验证

图像数据采集：SPI对GM4002驱动配置，8组Sub-LVDS接口完成2048*1200@64fps 10bit数据流采集；

LVDS数据眼图训练：制定了完整的LVDS训练仿真用例。使用Verilog搭建测试平台，对时钟分频、ISERDES3解串、Bit/Byte训练，SAV/EAV检测等关键环节进行了充分仿真；

数据多通道对齐：设计基于SAV/EAV同步码的通道对齐机制：检测各通道同步码到达时间差，通过FIFO指针偏移补偿延迟

2024.8 - 2025.2 北京超维景生物科技有限公司 硬件组实习生

元器件选型与BOM管理：参与系统电源模块的方案讨论与关键器件选型，协助完成LDO与DC-DC芯片的筛选评估；参与高速ADC、DAC等核心芯片的选型比对，并协助制作与维护项目的BOM清单；

硬件电路设计：使用AD完成FPGA外围基础电路的设计工作，包括SPI Flash配置电路、JTAG调试接口、UART串口通信电路以及时钟电路；参与元器件符号库与PCB封装库的创建与维护；

FPGA开发：参与FPGA逻辑开发，参与软件架构方案讨论，绘制ADC采集、DAC驱动时序图，开发四通道120MSPS ADC数据采集、DAC驱动控制，以及千兆以太网UDP协议栈的开发，支撑了高速数据采集与实时传输功能。

项目经历

2024.8 - 2025.2 四路高速ADC采集处理与千兆以太网实时传输系统

项目内容：参与基于ZYNQ平台实现光信号采集→图像处理→千兆以太网传输全链路开发，通过四通道120MSPS ADC同步采集信号，经帧重组与实时封装后驱动千兆以太网协议栈传输，支撑高分辨率成像设备的微秒级实时数据交互。

- 技术指标**：时钟调相：156.25ps | ADC:4通道120MSPS, 16-bit | 分辨率：1280×880@30fps | UDP:~400M带宽
 - 高速AD采样**：基于8组LVDS差分对的源同步传输架构，使用IBUFDS+IDELAYE2+ISERDESE2硬件原语构建自动相位校准，帧同步检测机制触发BitSlip滑动控制，实现四通道120MSPS/16bit ADC数据的精确同步捕获；
 - 千兆以太网协议**：实现RGMII接口UDP千兆以太网协议栈，上行数据协议包封装（图像数据/心跳包/ARP）和下行协议，划分四级优先级通道缓冲区，通过优先级加权动态轮询仲裁，成像数据实时传输。
- 所参与开发的SN600高端医疗成像系统（售价500W+）已成功通过验证并实现量产，其中我参与的核心数据采集与传输链路，其关键性能指标（同步精度、图像帧率、网络延迟与稳定性）均达到预期。

- 项目名称：基于FPGA的超快采集与控制系统（北大院士团队）
- 项目内容：主导基于 Xilinx KU 系列 FPGA 的构建“解耦 - 重构 - 交互 - 传输”四位一体的图像处理链路开发，支撑千赫兹成像。
 - 5Gbps 高速信号解耦与处理：实现 9 路子通道 3.2 ns 门控解复用，子通道数据吞吐率达640Mbps，通过 5级流水线实现大宽位选逻辑，实现不同特征信号的精准分离，信号分离精度达95%以上，信号信噪比（SNR）提升至45dB；解决多通道信号混叠问题，获取高保真信号数据。
 - 图像重构与传输优化：采用并行计算架构，9 路子视场图像重构耗时 <200μs / 帧；C#搭建上位机交互参数实时下发，根据现场测试情况灵活配置子视场参数组合；通过 AXI4 协议实现图像数据高效突发写入 DDR 缓存，累积多帧后传输至上位机直接显示；
 - 高主频时序收敛：分析STA时序报告，编写XDC约束确保含精密门控、大位宽位选、均值滤波及图像重构的复杂流水线，在 312.5MHz 高主频下完成时序收敛
- 项目成果：独立完成超快成像系统研发，成功实现千赫兹级别稳定成像，部分研究成果发表在《Neurophotonics》

- 项目内容：负责开发基于FPGA的高速通信模块，实现上位机与勘探设备间高可靠性数据通信。主要承担FPGA逻辑开发、硬件电路分析调试及系统集成，对已有产品的逆向分析与功能仿制，独立完成通信系统设计与实现。
 - 硬件电路分析拆解：完成对原有设备PCB的原理图提取与功能模块分析，识别出时钟管理、电源分配、信号调理及接口电路等关键结构，并借助示波器、逻辑分析仪等工具完成信号实测与子模块功能验证，为后续设计提供依据。
 - FPGA开发：基于Verilog HDL独立完成2FSK调制解调核心代码的编写，实现载波生成、码元映射、滤波功能，利用ModelSim进行功能仿真和时序分析，确保设计满足时序约束与性能指标。
 - 系统联调：联合上位机开展系统联调，分析并解决实际环境中出现的时钟抖动和噪声干扰等问题，通过改进键移调制与调整判决门限显著降低误码率，经多轮测试验证系统稳定性。
- 项目成果：成功实现FPGA端FSK调制解调功能，通信效率与原产品持平，误码率低于0.01%，满足勘探场景的高可靠性要求，顺利完成全部硬件调试与系统集成，项目一次性验收通过，获得甲方高度认可。

科研成果与奖励

- 成果：
- Wide-field fluorescence navigation system for efficient miniature multiphoton imaging in freely behaving animals. 《Neurophotonics》SCI 2区 已检索，学生一作.
 - Real-time FPGA-based Iterative Learning Control for Bidirectional Galvo Scanning in Large-FOV Two-Photon Microscopy .ICBBE 2025 EI检索已录用，学生一作.
- 奖励：研究生专项奖学金，研究生学业奖学金，CET-6

爱好与自我评价

- 爱好：闲暇时喜欢慢跑（5KM+）,骑行（累计1000KM+）
- 自我评价：积极乐观，乐于沟通，有耐心，有毅力