

基本信息

姓名：孙建林
性别：男
求职岗位：数字电路设计工程师
联系电话：13335383525
年龄：28岁
工作年限：3年经验
意向城市：深圳
邮箱：sunjl1997@126.com



教育背景

2020-09 ~ 2023-06 **西安交通大学** **材料加工工程（硕士）**
专业成绩：GPA 3.53/4（专业前20%）
荣誉：优秀新生奖学金、学业一等奖学金、优秀研究生
2016-09 ~ 2020-06 **陕西理工大学** **材料成型及控制工程（本科）**
专业成绩：GPA 3.20/4（专业前10%）
荣誉：国家励志奖学金、校级三好学生、第十一届、第十二届陕西省大学生高等数学竞赛一等奖

工作经历

2023-07 ~ 至今 **深圳市紫光同创电子有限公司** **IP开发工程师**

2023.09 ~ 至今 HSST IP开发

高速 SerDes 长期被国外厂商垄断，核心接口 IP 受限，早期国产 FPGA 普遍缺失高性能自研 SerDes，为了打破海外高速接口 IP 垄断，补齐国产 FPGA 关键核心技术短板，实现高速接口自主可控，已实现 SerDes 物理层、协议层全流程自研，拥有了完整自主知识产权。

1. HSST IP版本迭代

- HSST IP可配置化程度高，参数关联性强，部分场景会导致链路不工作或不稳定。为了优化客户的使用，需要进行IP的版本迭代更新，独立负责 HSST IP 共计 6 个器件、26 个版本的全流程版本维护与迭代升级工作，准时完成版本发布率高达 90%，共解决bug数量100+，其中关于超频率范围的问题，严重影响了客户的实际使用，快速响应并解决了此问题，并完成了全系列版本的超范围频率的排查。

2. HSST IP自动化测试脚本开发

- 针对原有自动化上板测试脚本维护难度大、使用场景受限、灵活性不足等问题，独立设计并开发了一套全新的自动化测试脚本。该脚本具备良好的通用性，可适配多类器件，支持根据实际测试需求灵活扩展和新增测试函数，有效降低了维护成本，显著提升了上板测试的执行效率与整体稳定性，整体的测试效率提高50%。

3. HSST IP复位序列开发

- 为了摆脱技术授权依赖，解决高端 FPGA 高速互连卡脖子问题，进行高端 SerDes IP 自研与国产化，独立完成某器件 HSST IP的复位序列的逻辑设计、代码实现与功能验证工作，确保复位流程稳定可靠，满足芯片正常上电、复位与运行要求，精准匹配客户实际应用需求，全场景测试通过率 100%。

2025.03 ~ 至今 P2P LINK 8B10B IP开发

为了打破国外协议 IP 垄断，补齐国产 FPGA 高速互连短板，释放自研 SerDes 性能价值，满足关键行业自主可控与高可靠通信需求，实现 Aurora 8B/10B 国产化，能够有效提升国产高速链路兼容性与稳定性，可降低成本、缩短交付周期。

1. P2P LINK 8B10B IP RTL 代码开发

- 为了解决国外商用协议 IP 核，不仅授权成本高、定制能力弱，还存在技术受限、供应链不稳定、安全不可控等问题，国产化的IP已被迫切需要，在项目中，独立完成了从规格说明书编写、方案设计到 RTL 代码实现的全流程开发工作，并与验证团队紧密协作，完成功能验证、问题定位及收敛等相关工作。同时，承担项目组内技术指导职责，针对 packing 设计、用户手册编写等内容进行指导与验收，最终顺利完成 IP 1.0 版本的正式发布，保障了 IP 交付质量与项目进度。

技能特长

语言能力：大学英语6级证书，能够快速阅读英文技术文档和应用手册。

软件能力：计算机二级证书，熟练使用PDS、Questasim、VCS等相关软件。

自我评价

工作积极认真，细心负责，善于在工作中提出问题、发现问题、解决问题，有较强的分析能力。勤奋好学，动手能力强。