



| 硕士 | 26 | 中共党员 | 湖南长沙 | 185-2730-9785 | 2290102677@qq.com |
| 求职意向：FPGA工程师 |

个人概述

- 拥有3年FPGA开发经验，具有千万级工程模块化设计经验。精通跨时钟域处理（脉冲同步、异步FIFO、握手协议）、具备图像/视频处理和神经网络加速算法构建经验、复杂状态机设计、熟悉高速接口及协议、精通Chipscope/ila定位信号完整性问题的实战经验。

专业技能

- 编程语言：Verilog、Python、C、C++
- 开发工具：Vivado、Vitis、TD、ISE、Modelsim、Matlab、Pycharm
- 其他技能：PCB板电路焊接与电路测试、Altium Designer、Cadence、示波器

工作经历

威固信息技术（衢州）股份有限公司

FPGA开发工程师

2024.7 -- 至今

- FPGA功能开发与测试：**为某雷达信号处理系统设计高性能数据交换的FPGA程序，实现了板间高速互联通信（srio、aurora），以及上位机数据下发与回传（PCIE）。
 - srio通信功能开发及测试，基于srio ip核完成对数据的记录回放功能设计与测试，包括速率控制、数据分析、中断等功能；
 - aurora通信功能开发及测试，基于aurora ip核实现对光口数据的转储和cd功能，定制AXI-Stream用户流控（UFC）接口，解决UFC通信突发数据溢出的丢包问题；
 - pcie通信测试，基于XDMA ip实现BRA的空间映射与中断上报。
- 图像/视频处理算法开发与部署：**主导设计yolo推理加速模块，通过FPGA实现对图像和视频的物体识别算法，通过多核并行计算与流水线优化提升卷积效率，并部署IP到至xc7vx690tffg-2平台，进行算力评估与结果显示。
 - 模型量化：将YOLO浮点模型转为INT8/INT16定点模型，使用PyTorch和ONNX；
 - HLS设计：使用C/C++描述核心算子，并转换成RTL实现，构建出AXI总线架构的神经网络IP核，并集成到完整的FPGA系统中；
 - 系统集成及测试：将HLS IP集成到完整的FPGA系统中，并运行完整系统，验证性能指标。
- FPGA加速卡测试与维护：**添加flash功能，实现FPGA、CPLD等程序的重构；基于xilinx和国产芯片平台进行FPGA接口通信测试、FPGA与DSP之间通信测试、仿真验证、测试文档编写等工作。
- CPLD功能开发与测试：**为一体式gpu笔记本设计电源管理模块，实现系统自启动。并通过iic实现电池的充放电管控（SW7206）、芯片温度电压监控（LTC2991）和电池电量监控（SA95202）。

威固信息技术（衢州）股份有限公司

FPGA实习生

2023.9- 2024.6

- 图像和视频神经网络识别算法：**使用hls构建yolo网络架构ip，并部署到xc7vx690tffg-2，并通过PCIx8进行yolo网络配置数据和初始话数据的下发和运算结果的上传，实现上位机和yolo模块的通信。
- FPGA加速卡验证与测试：**了解加速卡的功能及fpga程序，进行板块功能及性能测试。

研究经历

基于MPSoC的uwDAS声源定位研究

硕士课题

2021.9- 2024.6

- 超弱光纤光栅解调仪研发：**负责部分硬件功能调试与接口调试，实现串口与以太网通信，进行产品组装与软硬件测试。
- 基于MPSoC的神经网络加速算法研究：**通过MPSoC平台构建了VGG16网络加速算法，包括数据读写、网络框架、仿真与测试；通过在ARM段获取以太网数据并存储在DDR中，再由自定义的AXI接口模块对DDR中的数据进行读取并将运算后的结果返回DDR储存。
- 所获荣誉：**发表相关论文2篇（其中一篇SCI Q2）、发明专利两项

教育背景

三峡大学

电子信息专业（硕士）

2021.9 -- 2024.6

- 主修课程：**光电传感、现代信号处理、机器学习、模式识别原理与技术、算法设计与分析
- 校园经历：**班长、教务处助管、导师助教
- 所获荣誉：**校级奖学金（三次），三峡大学“研究生专项奖学金”（优秀研究生干部），优秀共青团干（二次）

三峡大学

光电信息科学与工程专业（本科）

2017.9 -- 2021.6

- 主修课程：**数字电路与逻辑设计、模拟电路、电子线路设计与PCB、信号与系统、电路分析、C语言
- 校园经历：**学院学生会副主席、班级宣传委员
- 所获荣誉：**校级奖学金（三次），优秀团员（二次），优秀青年志愿者（二次）、大学生物理实验竞赛校级一等奖（两项）