

个人简历 - 符晓

一、总体信息

个人信息	姓名	符晓	性别	男	
	出生年月	1986 年 5 月	婚姻状态	未婚	
	最高学历/学位	硕士	学校	清华大学/桂林电子科技大学	
	电话	18612023648	邮箱	fuxiao537100@qq.com	
教育经历	2015/1 -- 2020/1	清华大学	电子工程系	电子与通信工程专业	硕士
	2015 年在职进入清华大学信息科学与技术国家实验室攻读硕士学位，于 2020 年 1 月毕业。基于因诺微科技（天津）有限公司的 GSMR 空口监测项目撰写了学位论文。在校期间发表 1 篇被国际会议录用论文。				
	2005/9 -- 2009/7	桂林电子科技大学	信息与通信学院	通信工程专业	本科
	- 在校期间学习成绩优秀，专业基础扎实，3 次获得二等奖学金，1 次获得三等奖学金。 - 曾获得“三好标兵”、“三好学生”、“优秀共青团员”等称号。				
技能专长	- 多年数字通信工程师经验，主要负责 FPGA 模块设计与验证。 - 熟练使用 Verilog HDL 语言编写可综合的 RTL 级模块和仿真测试模块；可以读懂并修改 VHDL 语言编写的程序。 - 熟练使用 Quartus II、vivado 等 FPGA 开发平台工具进行逻辑编译、时序分析和在线 debug。 - 熟练掌握 FPGA 仿真工具 modelsim。 - 熟悉 matlab 开发，可自己完成用 matlab 生成测试数据、实现简单算法原型等工作。 - 熟悉 PCIE、USB、千兆以太网（GE）等高速接口，有相应的 FPGA 基于 IP 核的开发经验。 - 有基于 zynq 平台开发经验，实现 PS、PL 之间的多种方式通信。 - 无障碍阅读英文相关学术文献及芯片资料。 - 有 GSM 频段射频板调试经验。 - 有使用 C 语言调试 ARM 程序（zynq 平台的 PS、PL 联合调试）、编写驱动测试模块经验。				
自我评价	- 多年数字通信工程师经验，主攻 FPGA 开发，熟悉高速接口如 PCIE、USB、千兆以太网 MAC，有相关开发经验，有硬件模块、射频模块、接口驱动等调试经验。 - 可以独立完成中小型 FPGA 模块开发，可以带领小团队完成中型 FPGA 模块开发。 - 逻辑能力强，思维严谨；热爱运动，擅长足球，喜欢跑步；有良好沟通能力，与同事关系融洽；喜欢读书。				

二、工作经历

工作经历

2024/11 至今	大富科技股份有限公司	职位：FPGA 工程师	深圳
在大富科技公司做的项目与卫星导航项目相关，主要是在地面建立信号网并对目标进行定位。当前工作项目是发射板开发，需要开发 ZYNQ 平台的 PL-PS 多种通信方式；接口模块如 UART、SPI；信息编码模块如汉明编码、BCH 编码、C/A 码等；调试射频芯片 9361，完成不同类型射频数据的发送模块等。			
2022/9-2024/6	广州智讯通信系统有限公司	职位：FPGA 工程师	工作地点：广州
广州智讯通信系统有限公司以有线音频通信产品为主，目前正在拓展业务到无线音频通信产品。本人在公司主要工作内容为基于各 FPGA 平台开发音频处理、数据通信等功能模块。目前参与中的项目包括双音多频信号（DTMF）解调模块、fsk 来电显示信号解调模块、正交频分复用系统（OFDM）收发模块等。主要负责工作包括： ● 制定 FPGA 方案：了解项目需求，学习相关技术及当前成熟解决方案，确定 FPGA 开发方案。 ● 设计 FPGA 原型：使用 matlab 进行 FPGA 模块原型设计，一般包括激励源模块、目标设计模块和验证模块，用于验证方案可行性及后续对 FPGA 模块进行 debug。 ● 开发、验证 FPGA 模块：根据设计方案编写 FPGA 的 RTL 级模块，并使用仿真工具 modelsim、matlab 原型设计对 FPGA 模块进行 debug。 ● 融合 FPGA 模块：将验证完成的 FPGA 模块融合到原项目中，在实际环境中测试模块。			
2020/2-2022/9	广西工业学院（筹）	职位：高校专任教师	工作地点：广西贵港
在就职于广西工业学院（筹）期间，本人职位为“智能科学与技术”专业的专任教师，工作职责主要包括：智能专业实验室管理、备课试讲、考广西高教教师资格证、学习并考取专业相关技能证书、与教研室同事一起做科研项目等。工作主要成果包括： ● 2020 年获得“优秀教职工”荣誉证书； ● 通过多项工业机器人应用编程官方培训，取得“工业机器人应用编程职业技能等级证书（中级）”。 ● 通过广西高校教师资格证考试。 ● 作为主要联系人到本地 7 家企业进行人才需求调研，并牵线 4 家企业与学校签订校企合作协议。 ● 作为实验室建设主要联络人，协助专业负责人完成实验室建设各项工作；与厂家对接，完成接收、调试、维护实验设备等工作。			
工作时间：2009 年 7 月至 2019 年 2 月			
本人自本科毕业之后，到 2019 年 2 月为止，共经历了 3 份工作，职位均为硬件/FPGA 工程师。主要工作内容为： （1） 制定 FPGA 方案：与团队一起制定 FPGA 方案，后期全面管理所在项目的 FPGA 研发。 （2） 设计 FPGA 原型：使用 matlab 进行 FPGA 模块原型设计，一般包括激励源模块、目标设计模块和验证模块，用于对 FPGA 模块进行 debug。 （3） 开发、验证 FPGA 模块：根据设计方案编写 FPGA 的 RTL 级模块，并使用仿真工具 modelsim、matlab 原型设计对 FPGA 模块进行 debug。 （4） 联调：与同事一同进行联调直至开发工作完成。			
2013/2—2019/2	因诺微科技（天津）有限公司	职位：FPGA 工程师	工作地点：北京

因诺微科技（天津）有限公司是由清华大学电子工程系的老师和学生于 2012 年创办的一家公司，主要领域为无线通信技术研发、信息安全应用和机器学习应用。 本人作为主要工程师经历过较大的项目包括“软芯”解决方案、GSM 移动通信信号测量系统、LTE 系统 PDCCH 盲检功能硬件加速项目等。另外还参与完成了 433MHz 频段收发模块设计与实现、FPGA 控制语音播报系统实现、基于单片机的 FPGA 程序远程更新等小项目。主要负责工作包括： ● FPGA 模块开发，包括实现新功能及软件模块加速等； ● 接口模块开发，包括低速接口 SPI、IIC 等低速接口和 PCIE、USB 等高速接口； ● 硬件模块整合； ● 统筹协调团队组装机器等。 在公司工作期间，考取了清华大学研究生，在职读研顺利毕业。		
2011/8—2012/6	京信通信公司	工作地点：广州
京信通信公司为香港联交所上市公司，主营业务为通信与信息解决方案及服务提供商。 在公司期间服务于微波通信部门，负责 FPGA 方面的设计。主要参与的项目包括微波通信室内调制解调设备、以太网数据包分析项目等。		
2009/7—2011/8	深圳电器公司	工作地点：深圳
深圳电器公司是一家隶属于中央部委管理的国有企业，主要从事有线、无线等通信设备及电连接器的研制、生产和销售。 在公司主要从事 FPGA 设计、产品方案设计等工作，独立完成了以太网/V35/远传转换设备的设计开发。		

三、主要项目经验

项目 1

项目开发时间：2024/11 至今

项目所属公司：大富科技股份有限公司

项目名称：基于 ZYNQ 平台的信号发射板

硬件环境：XILINX ZYNQ 平台

开发工具：Vivado 2020.2, Modelsim, MATLAB

项目简介：

该项目来自于兵器北斗院，需要开发发射板和接收板。本人的职责是检验发射板的硬件设计是否正确，并完成所有的发射板 FPGA 开发，与软件工程师共同实现报文组装、信号基带调制、发送等功能，并由我完成整合调试。

责任描述：

- (1) 与项目主管共同制定发射端硬件开发方案，独立设计发射端 FPGA 方案。
- (2) 在 matlab 上实现部分功能的方案原型，进行算法验证，并为后续 debug 提供比对基准。
- (3) 根据原型完成 RTL 代码实现，并对关键模块进行 modelsim 仿真，确保原型与仿真输出 bit 级一致。
- (4) 与软件工程师共同开发 zynq 平台 PS-PL 接口，包括中断、FPGA 端的 DDR 读写、DMA 下行功能、寄存器读写功能等。
- (5) 并由本人统一调度，统筹软件开发、硬件开发、外协单元完成发射板调试，实现设计目标。
- (6) 根据项目开发进度需求，配合整体设计对设计进行调整并验证。

项目 2

项目开发时间：2023/3 - 2023/6

项目所属公司：广州智讯通信系统有限公司

项目名称：基于 FPGA 平台 DTMF 解调模块

硬件环境：安陆科技芯片

开发工具: TangDynasty, Modelsim, MATLAB

项目简介:

该项目来自于元器件国产化、优化硬件结构的需求。将原来使用专有芯片完成的 DTMF 解调工作放到 FPGA 实现,并要求使用国产 FPGA 完成功能。

DTMF 解调方案已经很成熟,主要是基于 Goertzel 算法完成。Goertzel 算法主要是完成 2 条方程的计算,即后向通道的差分方程和幅度平方方程。在完全实现功能需求之外,在该项目中还以很少的开发时间进行了高质量优化,最终资源消耗与完全未优化方案相比降低了 80%。

责任描述:

- (1) 独立完成 FPGA 方案制定。接到开发需求后,独立查阅资料学习相关知识点,确定 FPGA 方案。
- (2) 在 matlab 上实现方案原型,进行算法验证,并为后续 debug 提供比对基准。
- (3) 实现格泽尔算法的 RTL 级模块,进行高质量优化并结合仿真工具 modelsim、matlab 原型设计进行 debug。
- (4) 在原平台上进行模块测试。

项目 3

项目开发及维护时间: 2013/10 – 2019/2

项目所属公司: 因诺微科技(天津)有限公司

项目名称: GSM 移动通信信号测量系统(系列产品)/GSMR 空口监测系统

硬件环境: Altera 的 cyclone/stratix 系列

开发工具: Quartus II, Modelsim, MATLAB

项目简介:

移动通信信号测量系统由空口无线信号采集、信号处理和信息提取、面向应用的信息分析等模块组成。设备提取基站和移动终端发出的信息,软件分析后给出移动终端的大致方位。该设备主要面向公安系统,用于嫌疑人手机定位,另外还带有语音监听、基于机器学习的语种分析等功能。该系统结构只需要对射频端等位置稍加改动,也可用于 3G、4G、GSMR 等网络。

硕士学位论文基于该系列的 GSMR 空口监测系统撰写。

责任描述:

- (1) 作为主要设计人员参与 FPGA 方案设计;后期带领两位同事进行维护、升级等工作。
- (2) FPGA 端实现 PCIE 接口模块,62.5MHz 时钟下速率达到 1.2Gbps,具备中断、DMA 接收数据、寄存器读写操作等功能。
- (3) 实现多个 FPGA 模块,如 AD 芯片控制、数字降采样、数字滤波、信道抽取、跳频计算等模块。
- (4) 使用 matlab 实现部分模块原型,为 debug 提供比对基准。
- (5) 参与 GSM 射频接收板设计,作为射频板主要调试人员,成功调试 GSM 信号宽带接收、零中频接收两种不同接收方案的射频接收板。
- (6) 与做软件、射频的同事一起完成整机调试并进行性能优化。

项目 4

项目开发时间: 2017/5 – 2018/2

项目所属公司: 因诺微科技(天津)有限公司

项目名称: LTE 系统 PDCCH 盲检功能硬件加速

硬件环境: Altera 的 stratix 系列

开发工具: Quartus II, Modelsim, MATLAB

项目简介:

该项目来自基于软件无线电的 LTE 移动通信信号测量系统,系统需要接收并解析尽可能多路 LTE 空口信号。项目目的是将部分物理层解析工作从软件移到 FPGA 上完成,可在控制成本的前提下增加接收的空口信号数

量。

PDCCH 信道接收端在盲检阶段需要承担大量计算，主要包括解速率匹配和咬尾 Viterbi 译码的计算，这类算法涉及大量累加、判决等计算，非常适合使用 FPGA 完成。最终该项目实现同时接收空口信号路数从 4 路提升到 12 路。

同时由于 LTE 系统相比 GSM 系统数据量剧增，PCIE 接口由 1.1 x1 升级到 2.0 x4，FPGA 的 PCIE 模块工作时钟从 62.5MHz 提高到 125MHz，PCIE 数据传输速率从约 1.2Gbps 提高到约 13Gbps。

责任描述：

- (1) 作为主要负责人参与 FPGA 方案制定。与软件组一起分析、协商需求，反复商讨优化方案，确定最终 FPGA 方案。随后带领两名同事完成 FPGA 设计、实现、优化、维护等工作。
- (2) 在 matlab 上实现方案原型。包括发送端仿真模块、接收端解析模块、验证模块等，为 debug 提供比对基准。
- (3) 实现 FPGA 接收端 RTL 级模块。主要包括解速率匹配、Viterbi 解码、CRC 生成、RNTI 检查等模块，并结合仿真工具 modelsim、matlab 原型设计进行 debug。
- (4) 实现 PCIE 接口升级。通过提升时钟频率、扩展数据接口宽度、把版本和链路宽度从 1.1 x1 升级到 2.0 x4 等手段，实现了 PCIE 接口速率从约 1.2Gbps 提升到约 13Gbps。
- (5) 与软件同事联合调试。

项目 5

项目开发时间： 2013/2 – 2013/10

项目所属公司： 因诺微科技（天津）有限公司

项目名称： “软芯” 解决方案

硬件环境： Altera 的 cyclone 系列

开发工具： Quartus II

项目简介：

软芯项目的核心是以软件无线电的方式实现无线 Modem 模块的通信功能，将传统无线 Modem 的协议栈处理功能以软件的形式运行在终端设备的通用 CPU 上。

数字部分软硬件间的接口使用了 USB 接口，模拟信号前端使用 APB 总线接口。在 FPGA 上需要完成数据的缓存及 APB 总线接口到 USB 接口的适配。

责任描述：

- (1) 参与 FPGA 方案设计。
- (2) FPGA 端实现 USB 接口模块，具有收发功能。
- (3) 设计 USB 接口的数据交互协议，区分不同数据类型，并可根据优先级调整数据传输顺序。

项目 6

项目开发时间： 2011/8 – 2012/6

项目所属公司： 京信通信公司

项目名称： 微波通信室内调制解调设备

硬件环境： Xilinx 的 SPARTAN 系列

开发工具： Xilinx ISE 10.1, Modelsim SE 6.5c

项目简介：

该设备是事业部容量最大的调制解调设备，最大容量为 700Mbps（两路微波信号），最大时钟频率为 125MHz。FPGA 接口上使用了千兆以太网(GE)传输数据。在设计过程中解决了以太网包乱序、流量控制、双 FIFO 操作等问题。

责任描述：

- (1) 参与 FPGA 设计初期制定方案。
- (2) 实现千兆以太网 MAC 层报文处理功能。
- (3) 实现两路信号分发机制功能。
- (4) 编写测试激励用 Modelsim 来仿真。
- (5) 与其他同事一起完成 FPGA 模块调试和整机调试。

项目 7

项目开发时间： 2010/7 - 2011/8

项目所属公司： 深圳电器公司

项目名称： 以太网/V35/远传转换设备

硬件环境： Altera 的 Cyclone 系列

开发工具： Quartus II

项目简介：

以太网/V35/远传转换设备是一款野战交换机的附属设备，可以通过远传接口接口把以太网或者 V35 接口的传输距离大大提高，可以在野战交换机不方便移动的情况下使用。

责任描述：

- (1) 完成本设备的核心功能，即用 FPGA 实现以太网/远传和 V35/远传的接口转换，维护代码。
- (2) 使用 FPGA 对以太网、V35、远传相关芯片进行配置和收发数据。
- (3) 负责以太网、V35、远传部分的电路设计。
- (4) 根据电路选择的元器件制作产品 BOM 表，与采购进行沟通，确认采购困难器件的替代器件。
- (5) 解决开发过程中出现的硬件异常。