



郑徵羽

女 26 岁 1999.07.10 汉族 四川南充 中共党员
18990736560 chadesiel@outlook.com 2027 年博士应届生



教育背景

- ◆ 2017.9-2021.6 苏州大学 | 211 光电科学与工程学院 测控技术与仪器 工学学士 (排名 1 位)
- ◆ 2021.9-2023.6 电子科技大学 | 985 自动化工程学院 仪器科学与技术 硕博连读 (保研)
- ◆ 2023.9-今 电子科技大学 | 985 自动化工程学院 仪器科学与技术 博士在读

项目经历

- ◆ 高垂直分辨率数字采集技术研究 | 纵向基金 | 项目负责人 2025.06~至今
负责高垂直分辨率高速数字采集系统关键技术研究，采用多 ADC (4 片 ADC12DJ5200RFAAV) +FPGA (XCKU13P) +PCIe+工控机的硬件架构，通过时间同步采样 (TSADC)，实现 14bit 垂直分辨率，带宽 2GHz，最高实时采样率 10GSPS，无杂散动态范围 $\geq 50\text{dB}$ ，有效位数 $\geq 8.5\text{bits}$ ，幅频平坦度 $\leq 0.5\text{dB}$ 。主导时间同步采样算法进行设计实现，对后续补偿算法进行设计实现，包括幅频与相频特性校正模块、分数延时 Farrow 滤波模块等，对项目总体进行把控设计。
- ◆ XX 智能示波器 | 装发型号重点 | 降噪功能负责人 2024.01~2026.06
面向 20GHz 带宽、80GSPS 实时采样智能示波器，负责智能降噪模块的算法设计、训练策略构建与软件部署验证。针对高速宽带采集信号中底噪高、信噪比低、波形细节易失真等问题，设计基于神经网络的时域波形降噪方法，采用监督学习与非监督约束相结合的训练策略，在保留主频成分与波形结构的同时抑制宽带随机噪声。典型正弦信号测试中，由约 20dB 提升至约 30dB，且刷新速度 ms 级，有效提升高速示波器的波形观测质量与弱信号识别能力。
- ◆ 优利德科技 (中国) 股份有限公司 | 带宽限制功能负责人 2024.07~至今
负责高速数字示波器带宽限制功能的算法设计与实现，面向高采样率场景下低带宽测量信号易受宽带噪声影响的问题，设计基于 CIC+HB 的低资源数字低通滤波方案，实现可配置带宽限制与噪声抑制。针对 10GSPS 高速并行数据流，8GHz 高带宽数据，完成多路并行 CIC 滤波结构设计、位宽增长分析、跨时钟域数据重组、积分/梳状滤波模块实现及幅度缩放处理，在保证实时处理吞吐率的同时降低 FPGA 资源消耗。典型 20MHz 带宽限制模式下，模块实现约 2dB 通带边缘衰减、约 26dB 阻带抑制，仅占用约 1.5% LUT，有效替代高阶 FIR 滤波方案，降低示波器带宽限制功能的硬件实现成本。
- ◆ XX 高速采集设备 | 横向 | TI 模块负责人 2024.06~2025.6
负责 40GSPS 高速采集系统中 4 通道 TI-ADC 拼合与校准模块设计，系统基于 4 片 ADC12DJ5200RF 实现多通道时间交织采样，面向 8GHz 模拟带宽下的通道增益、偏置、时延及频响失配问题开展校准算法设计与实现。针对固定误差，采用三参数正弦拟合方法估计各通道 offset、gain 与 time skew，并通过 ADC

参数迭代调整完成固定失配校正；针对宽带场景下随频率变化的动态失配，设计基于频域滤波/DTI 结构的频率响应补偿方法，实现多 ADC 通道幅相一致性校正。测试结果表明，校准后系统失配杂散显著降低，典型 2GHz 输入下 SFDR 由 **25.77dB** 提升至 **51.80dB**，系统 100MHz–8GHz 范围内平均 ENOB 由 **4.33bit** 提升至 **5.93bit**，有效提升高速采集系统的拼合精度与动态性能。

科研方向与成果

科研方向：基于轻量级神经网络的 TI 采集系统杂散抑制

面向高速 TI-ADC 采集系统中的**失配杂散、非线性谐波及耦合误差**，提出 LiteSpecCNN 轻量级频域校准方法，在不访问 ADC 内部节点的条件下实现黑盒式后端杂散抑制。模型仅含 **157** 个参数，仿真双音信号 SFDR 提升 **48.08dB**；20GS/s TI-ADC 实测 QPSK 信号离线验证中，SFDR 由 **38.65dB** 提升至 **51.32dB**。完成面向 FPGA 的可重构架构设计评估，核心模块资源开销约 16DSP，相关成果已形成第一作者论文并完成投稿

以第一作者发表论文

- ◆ **Z, Zheng**, K, Yang, Q, Zhang, Z, Pan, W, Li, A, Chen, Z, Chen, Y, Cheng, W, Ming, "A Bandwidth Calibration Technique for 4-Channel TI-ADCs in 40GSPS High Speed Acquisition System". 2024 IEEE AUTOTESTCON, National Harbor, MD, USA, 2024, pp. 1–5. DOI: 10.1109/AUTOTESTCON47465.2024.11540344. [测试领域顶会；40GSPS 高速采集系统；4 通道 TI-ADC 拼合校准；频响失配校正核心成果]
- ◆ **Z, Zheng**, K, Yang, W, Huang, R, Ming, H, Liu, P, Zhang, J, Luo, Y, Wang, "Design and Implementation of Low Resource Consumption Low Pass Filter Based on Parallel CIC". 2025 IEEE International Conference on Industry 4.0, Artificial Intelligence, and Communications Technology (IAICT), Bali, Indonesia, 2025, pp. 188–193. DOI: 10.1109/IAICT65714.2025.11101442. [IEEE 国际会议；高速示波器带宽限制功能；并行 CIC 低资源低通滤波；FPGA 零 DSP 实现]
- ◆ **Z, Zheng**, K, Yang, P, Ye, Z, Ji, C, Wen, "LiteSpecCNN: A Lightweight Non-Intrusive Frequency-Domain Spur Suppression Framework for TI-ADCs". Measurement, under review. [第一作者在投论文；轻量级神经网络 TI-ADC 杂散抑制]

技术栈

- ◆ **系统研发：**具备基于 ADC+FPGA+工控机架构的高速数据采集系统开发调试经验；
- ◆ **信号处理：**掌握信号检测与估计、统计信号处理、数字滤波器设计、信号抽样与重建；
- ◆ **编程语言：**熟悉 MATLAB（算法设计验证）、Verilog（FPGA 逻辑设计）、C#（上位机开发）、Python（神经网络）；
- ◆ **英语水平：**六级 CET6（564）；
- ◆ **文档编写：**参与多项国家级科研项目申请书、技术报告及结题验收等材料撰写，具备规范的科研文档编写能力。

获奖情况

- ◆ 硕士研究生学业奖学金（2 次）
- ◆ 博士研究生学业奖学金（2 次）
- ◆ 本科生学业奖学金（3 次）