

个人简历 Personal resume

姓名：梁龙 性别：男
年龄：32 电话：18394156914
户籍：甘肃 现所在地：兰州
开始工作时间：2017 最高学历：本科
邮箱：2034852696@qq.com 政治面貌：中共预备党员
民族：汉族



求职意向

意向岗位：FPGA 及嵌入式工程师
求职类型：社招

期望薪资：30k-50k
期望行业：电子/半导体/集成电路

专业摘要

5 年全职射频领域 FPGA 软硬件协同开发经验，熟悉 Xilinx Zynq、MPSoC 与 RFSoc 系列器件全流程开发。深耕粒子加速器微波、高频控制领域；精通 Verilog HDL，熟练 Vivado、Vitis、Modelsim 仿真全流程开发，掌握 AXI4 总线协议、DMA 高速数据传输、DDR3/DDR4 存储控制器设计、高速 ADC/DAC、光纤、以太网等高速接口开发与联调经验，能够独立完成 FPGA 逻辑设计、仿真验证、时序收敛及板级调试。

具备完整射频数字信号处理落地能力，可完成信号采集、处理、传输全链路逻辑开发，具备射频前端与数字基带协同调试经验。掌握 DDC/DUC（数字下变频 / 数字上变频）、FIR/CIC/IIR 数字滤波器设计、IQ 调制解调、DDS 并转串等算法；自研 Non-IQ 解调、并行 PID 闭环控制、波形插值算法，多通道幅相频高精度稳定控制；熟练使用 C/C++ 进行嵌入式应用开发、驱动移植与中断处理，可高效实现 PS 与 PL 间的数据交互。

主导 2 款加速器低电平控制系统量产定型，产品控制精度达国际先进水平；擅长时序收敛、跨时钟域、温漂 / 负载扰动等复杂工况问题排查，兼具大型工程落地、工业级设备稳定性设计经验。

工作严谨务实，逻辑思维与问题排查能力突出，在复杂工况下的稳定控制与软硬件联调方面经验丰富；学习能力强，善于总结工程经验，具备良好的团队协作与沟通能力，能够快速适配项目需求，独立承担 FPGA 与嵌入式相关开发任务。

工作经历

2021.7-至今

兰州泰基离子

低电平控制工程师 | 粒子加速器及放疗医用设备

- 负责高端精密电子控制系统、高速数字信号处理平台的 FPGA 逻辑开发、软硬件协同设计、算法移植、板级联调与系统优化，独立负责多款基于 Xilinx Zynq 7000/MPSoC 平台的高速数据采集与实时控制系统全流程开发，熟练完成需求拆解、方案设计、Verilog 编码、仿真验证、时序优化、硬件调试与量产迭代，具备完整的 FPGA 项目落

地经验。

2017.7-2021.6

宁波轨道交通

电力调度员 | 地铁

- 负责供电系统运行监控、故障应急处置、设备隐患排查与数据运维，具备较强的现场问题排查能力、系统稳定性思维、工程安全闭环思维，养成严谨、高标准的工程落地习惯。

项目经历

2022.5-2024.12

直线加速器低电平系统研发

低电平控制系统设计工程师

项目背景

直线加速器是肿瘤放射治疗、粒子物理研究领域的核心设备，低电平控制系统是保障加速器射频场幅度、相位稳定，实现束流精准调控的核心子系统。项目旨在攻克高稳定性低电平控制技术，打破国外技术垄断，满足国产医用/科研用直线加速器的性能指标要求。

项目简介

独立搭建高速高精度数字信号处理与实时闭环控制系统，实现高速 AD/DA 数据采集、射频信号解调、并行 PID 精密控制、多维度故障联锁保护，完成从逻辑设计、仿真验证到硬件联调、产品定型的全流程开发。

核心技术栈

Xilinx Zynq-7100、Verilog、Vivado、Modelsim、高速 ADC/DAC、AXI4、DMA、DDR 缓存、以太网通信、PID 算法、数字解调

岗位职责 & 技术实现：

- FPGA 整体方案设计：**独立完成系统需求拆解、模块划分、技术方案选型，基于 Zynq 架构完成 PL 端高速逻辑开发与 PS 端嵌入式软件开发，实现软硬件协同架构设计。
- 高速接口逻辑开发：**Verilog 编写驱动逻辑，适配 ADS42LB69/AD9653 高速 ADC、AD9122 高速 DAC，完成高速模拟信号采集与激励链路逻辑开发；配置 AD9516/AD9520 低抖动时钟芯片，实现多芯片时钟同步，保障高速信号采样精度。
- 高速数据传输架构开发：**基于 AXI4 总线、DMA、BRAM、DDR 完成高速数据缓存与批量搬移，解决高速数据流吞吐、延迟、丢数问题；搭建 PS+PL 数据交互架构，实现低延迟实时控制。
- 数字信号处理算法 FPGA 实现：**自研数字化 Non-IQ 解调逻辑，完成射频信号幅度/相位高精度解析；实现并行 PID 闭环控制逻辑，大幅提升系统响应速度与控制精度，抑制工况扰动与参数漂移。
- 系统保护与逻辑健壮性设计：**独立开发驻波比保护、打火保护、输出超限、反射异常等多级联锁保护逻辑，实现故障实时检测、自动闭锁、告警上报，提升系统工业级稳定性。
- 仿真验证与板级调试：**使用 Modelsim 完成各模块功能仿真、边界场景测试，搭建闭环测试平台完成 90% 以上功能预验证；整机联调定位相位抖动、包络顶降、参数漂移等关键问题，完成时序优化与逻辑迭代。

项目成果

- 完成直线加速器 RFQ 腔体低电平控制系统的开发与定型，实现射频相位控制精度优于 0.1° 、幅度控制精度

优于 0.1%，达到同类产品国际先进水平，支撑首台济南直线加速粒子注入器完成整机性能测试，助力设备获得医疗器械注册证；

- 相关技术方案申请发明专利 2 项，累计降低设备核心部件采购成本 70%。

2025.1-至今

同步环加速器低电平控制系统

低电平控制系统设计工程师

项目背景

离子治疗装置同步环加速器低电平控制系统是粒子加速器的核心子系统，作为束流能量的来源承担着射频场相位、幅度、频率的高精度稳定控制任务，直接影响加速器束流品质与运行可靠性；项目旨在突破高稳定低电平控制技术瓶颈，满足大科学装置或重离子放射疗法的束流运行需求。

项目简介：基于 Xilinx 高端 MPSoC 平台，开发大容量波形存储、批量波形调度、高速光纤传输、多工况自适应控制系统，面向高稳定性、高可靠性精密控制场景，负责 FPGA 逻辑开发、算法迭代、高速接口调试与系统性能优化。

核心技术栈

Zynq UltraScale+ MPSoC、Verilog、高速光纤通信、DMA 批量传输、大容量 DDR 缓存、波形插值算法、多任务调度。

岗位职责 & 技术实现：

- **FPGA 平台架构开发**：基于 MPSoC 平台完成整体逻辑架构设计，优化 PL 端高速实时逻辑与 PS 端嵌入式调度逻辑，解决高带宽、大容量数据处理的时序压力。
- **高速通信与数据调度开发**：实现高速光纤串口（390625bps）稳定指令传输，完成多设备协同控制；基于 DDR 实现近 4GB 大容量波形数据缓存，支持 2 万组不同幅频波形的快速调度与下发。
- **算法 FPGA 移植与优化**：实现波形插值算法、实时波形回采对比、动态参数跟踪算法，解决扫频动态工况下的信号失锁、参数漂移问题，实现幅相参数高精度实时跟踪。
- **全场景稳定性验证**：模拟温漂、电源纹波、负载扰动等极端工况，完成算法鲁棒性迭代；优化时序约束、资源布局，解决高带宽场景下的时序违规、建立保持时间问题。

项目成果

- 完成同步环低电平控制系统研发与整机联调定型，攻克了频率与幅度连续动态变化的扫频模式下实时跟踪与稳定控制难题，实现幅、相闭环控制精度全面优于设计指标 $\pm 1\%$ 及 $\pm 1^\circ$ ；系统在真实负载工况下连续无故障稳定运行超 72 小时，控制性能、数据吞吐能力及运行可靠性均满足同步环实际工作要求。相关技术成果支撑形成 2 份正式技术测试报告，核心控制方法已申请发明专利 1 项，为同步环装置工程化落地及稳定可靠运行提供了关键技术支撑。

教育经历

2013.9-2017.6

兰州交通大学

电气工程及其自动化 | 本科

本科就读于电气工程及其自动化专业，扎实掌握核心专业基础，重点深耕数字电子技术、模拟电子技术等核心课程，熟练运用单片机开发、MATLAB 仿真，积极参与机器人相关竞赛，将数电、模电理论知识与单片机实操、MATLAB 数据处理相结合，积累了充分的电路设计、程序编写及竞赛实操经验，具备较强的动手能力和工程实践素养。

2023.9-至今

兰州大学

核科学与技术 | 非统招同等学力硕士研修 (在读)

工作期间以同等学力攻读硕士学位，系统深耕核科学与技术核心领域，聚焦粒子加速器物理与射频控制方向，系统学习《原子核物理基础》《加速器物理》《高频技术与微波工程》《核电子学与核仪器》《粒子束流动力学》《同步辐射原理》等专业核心课程，将核物理理论、射频工程原理与束流加速控制、射频系统调控、束流稳定性优化、多能量束流切换等工程实践深度融合，为离子加速装置的高效稳定运行与束流品质提升切换控制等项目提供坚实的理论支撑，持续提升高端加速器控制领域的专业能力与技术视野。



相关技能

- FPGA 开发能力：**精通 Verilog HDL，熟练使用 Vivado、Modelsim，独立完成模块设计、代码编写、仿真验证、时序优化、板级调试；熟练掌握状态机、流水线、并行处理、跨时钟域处理、时序收敛优化。
- 算法仿真与数据分析：**熟练使用 MATLAB 进行算法建模、滤波器设计（FIR/IIR）、仿真验证与实验数据处理，完成 DDC/DUC、FFT 频谱分析等射频信号处理算法的浮点到定点优化，验证幅相精度、噪声抑制与实时性指标。
- 总线与高速接口：**精通 AXI4/AXI4-Lite、DMA、BRAM、DDR 读写；熟练开发高速 ADC/DAC、光纤、千兆以太网、串口等高速外设接口。
- 算法与信号处理：**精通数字滤波、解调算法、PID 闭环控制、波形插值、信号实时处理，具备丰富的 FPGA 算法工程落地经验。
- 软硬件协同：**熟练 Zynq 7000/MPSoC 软硬件协同开发，掌握 PS 端 C 语言驱动开发、中断配置、软硬件数据交互、多任务调度。
- 验证与调试能力：**具备完整模块仿真、覆盖率测试、边界场景测试经验；擅长板级信号抓取、逻辑分析、故障定位、时序问题排查，适配芯片验证、FPGA 验证岗位需求。
- 附加技能：**熟练 C/C++ 嵌入式开发、C# 上位机开发，可独立完成系统闭环开发；熟悉射频、高速模拟电路基础，软硬结合能力突出。