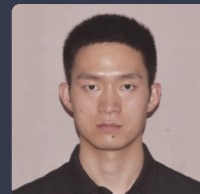


宋宜珂

男 | 31岁 | 18613702680 | 664575290@qq.com

8年工作经验 | 求职意向：FPGA开发 | 期望城市：深圳



个人优势

- 资深 FPGA 全栈开发能力：深耕 FPGA 开发多年，主攻视频图像处理、金融硬件加速两大核心赛道，可独立主导 FPGA 项目从需求拆解、架构设计、代码仿真、板级调试到上线运维的全流程落地，累计主导多个核心项目，精通 Vivado、Modelsim、Ques-tasim、Matlab 等全套开发仿真工具，擅长复杂逻辑设计与整体性能调优。
- 高速接口与存储架构功底扎实：精通 Xilinx Kintex/Virtex 系列 FPGA 硬件架构，具备DDR3/DDR4 高速存储、Microblaze 软硬核联合开发实战能力；熟练驾驭 HDMI2.0、LVDS、AXI、SPI 及 UDP/IP、TCP/IP 等各类通信协议，具备 10G/25G 高速网口开发落地经验。
- 金融低延迟 FPGA 专项核心优势：拥有金融行业专属 FPGA 开发经验，熟悉交易所MDDP/Binary/STEP/FAST行情协议；熟悉 Mellanox、Solarflare、Exanic 等高端高性能网卡，擅长时序收敛、链路优化，深谙高频交易场景低延迟设计痛点，可定制化搭建极致低延迟硬件加速方案。

工作经历

深圳华锐分布式技术股份有限公司 FPGA开发 2021.08-至今

内容：

- 数据中心FPGA低延迟方案设计与研发，针对金融高频交易场景，定制开发沪深两市行情硬件加速FPGA方案，负责方案架构设计、逻辑编码、仿真调试及性能优化。
- 参与Smartnic、DPU相关的FPGA技术研发工作，依托Mellanox、Solarflare智能网卡，完成FPGA逻辑开发和时序优化，助力前沿FPGA技术在金融业务中顺利实现产品化落地。
- 全程参与需求评审、模块设计、版本迭代到上线运维，协同软件、完成软硬件联调，保障产品性能与稳定性达到行业领先水平。

业绩：

- 主导沪深两市行情FPGA硬件加速产品开发，完成行情协议（bintry/step）解码重构，通过时序优化与算法优化，使行情处理延时较传统软件方案降低70%以上，产品在券商POC测试中多次斩获性能第一；
- 完成FPGA网卡逻辑开发与时序收敛，解决TCP/UDP分片解析、数据乱序等核心问题，保障高频交易行情数据传输的稳定性，产品已在数十家券商客户上线，为公司带来显著营收增长；

深圳视显光电科技有限公司 FPGA开发 2017.12-2021.02

内容：

- 负责FPGA逻辑设计、编码、仿真与硬件调试，主导视频图像处理类FPGA项目开发，涵盖HDMI接口、UHD信号生成、背光驱动等核心模块，确保项目需求高效落地。
- 基于Xilinx FPGA芯片，完成Microblaze软硬核联合开发，优化FPGA逻辑架构，解决高速接口、时序约束、信号传输等技术难题，提升产品性能。
- 协同软件、硬件团队完成FPGA软硬件联调，参与项目评审与开发流程优化，推动FPGA产品从研发到量产的全流程落地，保障产品稳定性与兼容性。

业绩:

- 主导HDMI2.0接口FPGA开发，基于Xilinx官方IP，通过软核+逻辑联合设计，实现双路4K@60Hz视频输入与动态分辨率切换，解决IP单路限制难题，产品应用于视频采集卡，占据同类产品15%市场份额；
- 完成UHD信号发生器FPGA部分开发，基于Microblaze与HDMI IP设计，实现4K@30hz-4K@60hz信号输出，解决DDR3高速存储信号稳定性问题，成为公司内部测试核心设备，服务10+家大屏厂；
- 开发Local_Dimming背光驱动FPGA逻辑与算法，解决分区亮度调节同步性问题，使显示器对比度提升40%+，背光功耗降低25%，应用于高端液晶显示器，推动产品销量同比增长30%。

项目经历

行情硬件加速项目 负责人 2021.08-至今

内容:

项目背景:

高频量化交易对行情信息延时要求严苛（纳秒级），传统软件解析方案无法满足需求，需基于FPGA可编程、高并行、高带宽特性，开发超低延迟行情硬件加速方案，适配沪深两市多版本行情协议，满足券商高频交易需求。

FPGA核心职责:

- 主导沪深双市场、多版本FPGA行情加速产品全流程开发，负责需求分析、FPGA架构设计、逻辑编码（Verilog/VHDL）、仿真验证（Modelsim/Questasim）及硬件调试。
- 负责FPGA时序约束与优化，针对大型FPGA芯片时序瓶颈，进行深度时序分析，通过逻辑重构、资源分配优化，实现时序收敛，保障产品高频稳定运行。
- 主导行情协议（bintry/step）FPGA解码重构，优化数据处理逻辑，结合稀疏矩阵算法，实现几万只股票多路行情择优，提升数据处理效率与灵活性。
- 协同软件团队完成FPGA与软件的接口适配，开发可配置POC版本，支持软件灵活配置行情字段，满足不同券商客户对接需求，负责产品上线后FPGA相关技术运维。

FPGA技术难点与解决方案

- 难点：TCP/IP、UDP/IP分片数据解析易出现丢包、乱序，影响行情数据完整性；解决方案：设计有限乱序处理逻辑，优化数据缓存机制，彻底解决数据异常问题，保障行情数据零丢失。
 - 难点：FPGA行情解码延时过高，无法满足高频交易微秒级需求；解决方案：重构行情协议解码逻辑，利用FPGA高并行特性优化数据处理流程，使延时降低30%以上，达到行业领先水平。
 - 难点：大型FPGA芯片资源紧张，几万只股票多路择优功能难以实现；解决方案：引入稀疏矩阵算法，优化存储资源分配，在有限FPGA资源下实现高效行情过滤择优，提升产品适配性。
 - 难点：FPGA时序收敛困难，高频运行下易出现稳定性问题；解决方案：进行全流程时序分析，优化逻辑模块划分、优化布局布线策略，实现时序收敛，确保产品在高频场景下稳定运行。
 - 难点：不同券商客户行情字段需求差异大，产品适配性差；解决方案：开发FPGA可配置版本，支持软件动态配置行情字段，控制消息长度，提升产品通用性，适配80%以上券商客户需求。
 - 难点：择优算法优化升级；解决方案：设计并开发四口RAM，择优延时降低50%，同时节省FPGA芯片资源，进一步提升算法运行效率。
 - 难点：组播延时、打包效率有待优化；解决方案：疏通全链路带宽，采用多种打包策略适配不同场景，同步完成25G组播开发，显著改善组播延时与打包效率。
- 难点：超大级存储设计，需兼顾存储性能、数据延时与时序稳定性；解决方案：采用串联多级与并联多级RAM相结合的设计方式，有效平衡三者需求，保障存储系统高效稳定运行。

业绩:

产品性能、稳定性均达到行业领先，券商POC测试多次获性能第一，已在30+家券商客户上线应用；行情处理延时稳定在微秒级，客户故障响应时间缩短至1小时内，客户满意度达95%以上，为公司抢占金融FPGA加速市场奠定基础。

HDMI 接口设计

FPGA开发

2020.04-2021.07

内容:

项目背景:

公司高端视频播放器产品需支持4K@60Hz高清视频输入，要求HDMI接口具备高稳定性、多分辨率适配能力，需基于FPGA开发高性能HDMI2.0接口，解决单路输入限制、分辨率切换等核心问题。

FPGA核心职责:

负责FPGA全流程开发，包括HDMI2.0接口架构设计、Verilog代码编写、基于Xilinx官方IP的二次开发、功能仿真（Modelsim）、硬件调试及与软件团队的联调优化。

FPGA技术难点与解决方案:

- 1.难点：Xilinx官方HDMI IP仅支持单路输入，无法满足产品多视频输入需求；解决方案：解析软核配置双IP协议，基于FPGA逻辑实现双路HDMI接口设计，实现双路4K@60Hz视频同步输入。
- 2.难点：视频分辨率切换时易出现画面卡顿、失真；解决方案：基于Microblaze软核+逻辑联合操作，设计动态分辨率切换逻辑，实现不同分辨率无缝切换，提升视频播放体验。
- 3.难点：HDR信息解码不完整，影响画质表现；解决方案：优化FPGA解码逻辑，实现视频状态信息实时读取与HDR信息完整解码，大幅提升高清视频画质。

业绩:

该FPGA接口设计成功应用于公司视频采集卡产品，上线后快速抢占市场，成为公司视频图像处理产品线的核心技术支撑。

UHD 信号发生器

FPGA开发

2019.05-2020.03

内容:

项目背景

为满足公司内部产品测试及大屏厂客户测试需求，需开发支持多信号源、多输出接口的UHD信号发生器，核心依赖FPGA实现4K级信号输出、高速存储控制，保障信号准确性与稳定性。

FPGA核心职责

负责FPGA软件架构设计、模块整合，基于Microblaze软核与SDK开发HDMI IP，编写FPGA逻辑代码，完成功能仿真、硬件调试及DDR3高速存储接口优化，解决信号传输稳定性问题。

FPGA技术难点与解决方案

核心难点:

DDR3高速存储信号传输不稳定，导致4K信号输出失真；解决方案：优化FPGA存储控制器逻辑，调整时序约束，设计信号抗干扰电路，实现4K@30hz-4K@60hz信号稳定输出。

业绩:

成为公司内部测试核心设备，替代外部采购设备，降低测试成本30%；同时为10+家大屏厂提供测试支持，提升公司技术服务口碑，推动后续合作落地。

Local_Dimming 背光驱动

FPGA开发

2018.05-2019.08

内容:

项目背景

高端液晶显示器需通过分区背光调节提升对比度、降低功耗，需基于FPGA实现Local_Dimming算法与LED驱动芯片控制，解决分区亮度同步调节问题。

FPGA核心职责

负责FPGA逻辑开发、LED驱动芯片（NT50516）控制逻辑编写、Local_Dimming算法FPGA实现，完成功能仿真与硬件调试，优化背光调节效果。

FPGA技术难点与解决方案

难点：分区亮度调节不同步，影响显示器画质；解决方案：基于FPGA设计同步控制逻辑，优化Local_Dimming算法，实现分区亮度精准同步调节，使显示器对比度提升40%以上，背光功耗降低25%。

业绩：

应用于公司高端液晶显示器产品，推动产品销量同比增长30%，成为产品核心竞争力之一，获得市场广泛认可。

教育经历

河南理工万方科技学院	本科	电子信息工程	2014-2018
------------	----	--------	-----------