

# 刘向东

求职意向：fpga开发 |

27 岁 | 男 | 2 年经验

15720020281 | lxd2512607830@163.com



## 教育背景

天津工业大学 -- 计算机技术 (硕士)

2021-09 ~ 2024-06

邢台学院 -- 网络工程 (本科)

2017-09 ~ 2021-06

## 工作经验

北京航天天穹科技有限公司 -- FPGA开发

2024-05 ~ 至今

清华大学senselab实验室 (实习) -- verilog开发

2022-06 ~ 2024-03

## 技能特长

具备 FPGA/SoC 系统开发经验，熟悉 Xilinx Zynq、Kintex-7、Zynq UltraScale+ 等平台开发，具备 PS+PL 协同设计经验。参与多个高速数据处理、图像传输、通信控制及国产化平台项目开发，熟悉 DDR、PCIe、GT、高速串口、以太网、LVDS、RS-485 等接口。

具备较强的系统联调、问题定位与工程实现能力，能够完成 FPGA 逻辑设计、PS-PL 数据交互、Linux SDK 配置及高速通信链路调试等工作。

## 项目经历

### 高速视频采集与压缩传输系统 -- FPGA设计

本项目基于 Xilinx Kintex-7 xc7k325tffg900-2 FPGA 芯片开发。系统主要功能为：接收 SDI 接口输入的视频数据（1920×1080，YUV422 格式），将数据缓存后通过 PCIe 接口发送至 RK3588 进行 H.265 图像压缩；随后接收 RK3588 通过 PCIe 回传的压缩码流（压缩后码率约 1.6Mbps），并通过 HDLC 协议将压缩后的数据发送至外部设备。

主要负责 FPGA 端的数据接收缓存以及与 RK3588 的 PCIe 通信部分。具体工作包括：

- 设计并实现 SDI 视频数据的缓存逻辑，开辟了 128MB 的 DDR 缓存空间，采用半满保护机制（当缓存使用量达到 64MB 时进行整帧丢弃），确保数据缓存的安全性和稳定性；
- 基于 Xilinx XDMA IP 核实现与 RK3588 的 PCIe 通信，其中数据传输采用 AXI-Stream 接口，控制交互采用 AXI-Lite 接口，有效实现了高带宽数据搬运；

### 多路压缩图像数据传输系统 -- ZYNQ PL设计

本项目基于 Xilinx Zynq-7020 SoC FPGA 平台开发，实现多路图像数据的网络接收与高速发送。系统采用 PS+PL 协同架构：PS 端通过以太网接收四路图像数据（3 路 TCP、1 路 UDP），PL 端负责图像数据读取、通道调度及外部高速发送。

PS 与 PL 之间采用共享 DDR 的方式进行高速数据交互，划分独立 DDR 地址空间用于多通道图像缓存；同时，通过 AXI 总线挂载 RegTable，实现 PS 对 PL 的控制与状态交互，PS 端可通过寄存器下发发送使能、状态控制等指令。

- 负责 PL 端整体逻辑设计与实现；
- 设计基于 AXI 的 RegTable 控制交互机制，实现 PS-PL 协同控制；
- 实现 PL 端读取 PS 侧 DDR 图像数据逻辑；
- 实现一路 UDP 图像数据的 UART 输出，并完成严格速率控制，确保 25fps 稳定发送；
- 实现三路 TCP 图像数据的 LVDS 高速发送；
- 完成系统联调与数据链路稳定性验证。

### 光束控制高速数据处理器 -- zynq开发

本项目为一套基于 Xilinx Zynq UltraScale+ ZU7EV 与 Zynq-7045 的光束控制高速数据处理系统，采用“核心板 + 扩展板”双板协同架构，两板之间通过 GT 高速串行链路进行数据通信。

其中，核心板负责 CameraLink 图像采集，并在 FPGA 侧运行 SPGD（随机并行梯度下降）算法生成 DA 控制数据，通过 GT 链路传输至扩展板；同时，PS 端承担 DP 显示输出、TCP 网络通信、CAN 总线数据转发以及图像数据发送等功能。扩展板侧实现基于 ADAQ23876 的高速 AD 数据采集，并运行相位 SPGD 算法，通过 DAC88111 输出 DA 控制信号，实现系统闭环控制。

- 负责核心板 DP 显示模块设计与调试，完成视频显示时序及数据通路验证；
- 负责核心板与扩展板之间 GT 高速通信链路的设计、调试；
- 基于 TCP 实现 CAN 总线数据网络转发及 DDR 数据回读功能，用于调试与算法分析；
- 使用 C 语言对 SPGD 算法迭代数据进行验证与辅助分析，并参与算法评价函数优化，改善算法收敛性与稳定性；

## 多传感器数据采集与传输系统 -- zynq pl开发

本项目基于 Xilinx Zynq-7020 SoC FPGA 平台开发，实现多路传感器数据及图像数据的实时采集与传输。系统采用 PS+PL 协同架构：PS 端负责以太网通信与系统控制，PL 端负责多路 RS-485 数据通信及图像数据接收处理。系统共包含 4 路 RS-485 通信接口，其中一路高速串口（921600bps）用于图像数据接收，其余串口用于外部传感器数据通信。图像数据在 PL 端完成帧格式提取后缓存至 BRAM，并通过基于 SpinalHDL 实现的 RegTable 将缓存写指针挂载至 AXI 总线，PS 端通过轮询方式判断新帧到达状态，实现高效图像数据传输。系统内部支持 128 帧循环缓存机制，确保实时数据采集与传输稳定性。

个人职责

- 完成串口图像接收逻辑，并设计基于 BRAM 的循环缓存结构（单帧 616Byte，支持 128 帧缓存），；
- 基于 RegTable 实现 PS-PL 状态交互与写指针挂载；
- 完成4路 AXI UARTLite IP 集成；
- 参与 PS 端以太网通信联调及系统整体稳定性验证。

## 国产 SoC FPGA Linux 系统调试 -- zynq开发

本项目基于复旦微 FMQL45T900 国产 SoC FPGA 平台开发，搭建具备 NVMe 存储与双网口通信功能的嵌入式 Linux 系统。系统整体采用 PS+PL 协同架构：PL 端实现 NVMe 控制器及 EMIO 网口外设，PS 端负责 Linux 系统构建、驱动加载与系统集成。项目基于复旦微官方 Linux SDK 环境完成开发，通过配置 Device Tree、驱动选项及启动镜像，实现 NVMe SSD 识别与双网口正常通信，并完成系统烧录与联调验证。

- 负责 PS 端嵌入式 Linux 系统构建与环境配置；
- 基于官方 Linux SDK 完成系统镜像配置、编译与烧录；
- 完成 Device Tree（DTS）修改及相关驱动配置；
- 参与 U-Boot、Kernel、RootFS 构建与 BOOT.BIN 打包流程；
- 配合 FPGA 工程师完成 NVMe 控制器与 EMIO 网口联调；
- 完成 NVMe SSD 性能测试及双网口通信验证。

## 基于sram存算一体神经网络加速器（实习阶段） -- verilog设计

芯片的架构设计基于 ResNet-14神经网络模型，同时具有一定的可适配性。神经网络采用训练中量化的方式，将特征图量化到 int4，权重为±1。存算阵列采用电荷域的方式设计。芯片与外部通信采用高速总线协议 AHB。内部支持 Conv2d、Batch Normalization、Shortcut、DownSampling、Hardtanh 算子。芯片包含寄存器、控制器、SRAM 阵列读写控制器以及用于存储中间结果的本地缓存。该芯片采用台积电 40nm 工艺制造，静态功耗为 10.27mW，动态功耗为 25.87mW。

- 完成数字电路部分的设计实现并进行验证，完成 SpyGlass 检查以及后仿调试。
- 负责模拟阵列外围数字电路的设计与实现，包括 SRAM 的写入、读出以及相应开关控制。参与数模联合仿真。
- 使用 Verilog 模拟存算阵列行为，并参与原型系统的搭建，验证数字代码的准确性。
- 参与 ResNet-14 神经网络的训练、量化。基于PyTorch的Hook机制，编写电路仿真器，在前向推理过程中自动调用神经网络算子对应的硬件建模，生成电路理论结果。。
- 将芯片挂载到 Cortex-M4 处理器上，并编写测试用例进行芯片测试。

## 自我评价

工作积极认真，细心负责，善于在工作中提出问题、发现问题、解决问题，有较强的分析力；勤奋好学，踏实肯干，动手能力强，认真负责，有很强的社会责任感；坚毅不拔，吃苦耐劳，喜欢迎接新挑战。