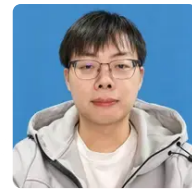


万邦宇

男 | 年龄：29岁 | 15636823622 | 771743719@qq.com

3年工作经验 | 求职意向：FPGA开发 | 期望城市：上海



个人优势

负责 FPGA/SOC 的选型、开发、仿真、调试工作。熟练优化算法落地，熟悉多种高速接口协议，熟悉基于 serdes 的高速接口驱动代码开发，掌握 PS 端嵌入式裸核与 rtos 的开发技能。具有数字信号处理/通信/计算机/硬件/光学/图像处理知识，会 matlab，c，systemverilog 等语言。使用 linux 开发环境，同时会做 soc 的 ps 端嵌入式开发与 fpga 开发。熟练使用 xilinx 的 zynq mpsoc/versal 等高端 soc，有高计算带宽/高资源占用/高时钟频率逻辑的开发经验，完整开发过5个以上复杂/超大型项目。开发效率高，学习新业务的能力非常强。

教育经历

北京航空航天大学 硕士 电子信息 2020-2023

哈尔滨工业大学 本科 测控技术与仪器 2014-2018

工作经历

以诺康医疗科技（苏州）股份有限公司 fpga高级工程师 2025.11-至今

- 负责项目的 soc 选型，以及配套外围芯片的实现方案与器件选型，主导项目算法相关软硬件的架构设计。较多使用的器件为 xilinx zynq mpsoc，ultrascale+ fpga。
- 参与4k60帧高清图像实时 ISP 算法的研究，负责算法的具体落地，协同硬件完成 soc 引脚规划设计。
- 完成 soc 上 fpga 和嵌入式的具体开发工作。包括 PL/PS 高速接口驱动与外围芯片驱动，ISP 算法优化落地，控制逻辑等，搭建 testbench 平台，使用 systemverilog 对模块进行高覆盖率仿真测试；PS 端外设/pl 控制，ETH/DP/QSPI/UART/IIC等接口驱动，浮点计算，用户界面 UI 等功能，修改裸核/freertos 的 bsp。
- 高低速接口驱动开发：例如以太网相关协议的开发，包括 fpga 上实现 arp，udp，dhcp 服务器等功能，高速MIPI驱动，用基于 serdes 的纯代码实现加/解扰、8/10b编/解码、rxslide 字节对齐、HDMI2.0 协议解包打包等功能（相当于实现了 pcs，HDMI2.0驱动）；ps 上基于 lwip 实现 dhcp 客户端功能，UDP-QSPI OTA功能，UART/IIC读写。
- 产出相关文档，指导项目其他下级工程师的部分工作。

苏州光格科技股份有限公司 fpga工程师 2023.03-2025.11

- 负责xilinx fpga/soc 芯片的选型和资源、性能评估，包括zynq、7系列、versal系列等；参与项目立项、负责确定项目里FPGA需实现的功能和具体方案架构设计；负责对应的文档撰写。
- 负责 fpga 开发、调试，使用systemverilog进行高覆盖率模块仿真测试；会使用示波器等多种测试仪器，具有一定的硬件知识，协同硬件进行硬件规划、引脚设计。负责ARM与FPGA的数据交互机制设计。
- 参与算法设计，负责算法优化落地。会使用MATLAB/Python 进行一些计算、数据处理以及滤波器设计等；会使用c语言开发，开发环境主要是 linux。
- 熟悉zynq、versal类架构的soc里ARM与FPGA的数据交互（AXI）；熟练使用iic/spi/uart/千兆网等低速接口驱动；熟练使用10g/25g 以太网/DDR3/DDR4/pcie2.0/pcie3.0/jesd204b等高速接口。
- 熟练调试使用2GHz 采样率/频率+的 adc/dac/时钟芯片等外部芯片，有过高频400MHz以上时钟verilog逻辑开发经验。进行过高资源占用率（lut、bram、dsp80%-90%）下的时序优化。
- 设计并实现fpga算法（比如大小排序）、fft，fir 滤波等。优化过乘法/开方/复杂函数的实现方式。针对高计算带宽（24Gbps带宽ADC采集数据扩展8路计算）场景优化中间变量的位宽。超长（100万采样点+）数据FFT的拆分优化，使得计算流水线化。
- 具有5个以上完整项目开发调试经验，有指导新人开发的经验。

项目经历

项目概况：4k 60帧高清3d腹腔内窥镜的开发。

本人职责：负责 FPGA 与嵌入式的代码开发与架构设计，审核硬件引脚设计，研究落地 ISP 算法。

本人项目成果：

- 1.对4k60帧高分辨率实时 ISP 进行了研究，设计了全套 ISP 算法，包括坏点校正，暗场校正，卷积滤波，demosaic，ccm 色彩矩阵，色彩空间转换，数字增益，CBS 亮度/对比度/饱和度调节，简易 HDR 调节，自动曝光/白平衡，gamma 校正等。
- 2.基于 xczu15eg soc 进行开发，在 PL 端落地 isp 算法，同时使用 systemverilog 搭建 tb 进行高覆盖率测试。实现了 cmos 的配置驱动， MIPI 的驱动，基于 serdes纯代码实现 hdmi2.0驱动（tx，rx，rxslide 字节对齐，加解扰，编解码，标准 hdmi 协议数据流打包解包），纯代码实现 hdmi1.0驱动与 VGA 时序控制。纯代码实现了 ddr4 mig 核的控制与图像数据的读写仲裁，带宽效率达86%以上。合理的设计了 PL 与 PS 端的通信方式：少量参数寄存器走 axi bram，大量数据用共享内存的方式实现，通过 irq 进行缓存一致性管理。
- 3.在 PS 端使用 freertos 与裸核结合异构架构。基于 axi bram实现了对 PL 端 ISP 参数的实时控制，基于 ugui 库、axi iic 和 pl 端的 vdma 用多帧缓存的方式实现了用户 ui 界面的多级菜单、切换动画与触摸反馈，参与 ISP 算法里部分参数的计算，基于 lwip 进行了 dhcp 客户端功能的开发，qflash 的在线更新程序功能等。编写 DP 驱动，对 pl 采集的图像进行小屏预览显示。
- 4.其他低速接口：iic，uart，spi，千兆以太网等。pl 端基于 udp/ip 协议实现了 DHCP 服务器/arp/ping 功能。ps 端基于 lwip 实现了 dhcp 客户端功能。

电缆故障定位系统FPGA 工程师2025.03-2025.08

项目概况：基于行波阈值触发和工频电流 fft 成分分析来确定电缆故障的优先级，再根据优先级上报故障的检测系统。

本人职责：zynq pl 端的代码开发，算法优化落地，以及设计 pl/ps 之间的数据交互机制。

项目成果：

- 1.编写了外围硬件：时钟芯片，ADC的驱动。
- 2.采样率100khz，中心频率50HZ，为了满足指标需要设计2000阶的FIR带通滤波器，通过时分复用与FIR系数的对称性仅使用1个DSP实现，降低99%以上的DSP消耗。
- 3.设计了一套复杂的优先级判定的机制：对于行波高频信号幅值采用实时两段阈值触发；对于50hz 工频电流信号使用 fft 分析，每个周期内的工频占比也使用两段触发；工频成分占比在多个周期内的最小值使用一段触发。
- 4.设计了一套 pl/ps 数据交互方案：ps 参数的下发和状态读取使用 axi hd 接口读写 pl bram；pl 的数据上传使用 axi hp 接口写入 ddr3。由于触发优先级的判断有250ms 延迟，因此在 ps ddr 内维护了两段空间分别储存行波数据、触发信息。
- 5.设计了一套比大小累计加分的排序算法，用于分析FFT的各频率成分的占比排名。
- 6.使用的zynq7020资源占比达80%以上，通过用比较，移位，查找表，时分复用，积分离散求和等手段替代复杂计算来节省资源，通过提高流水线级数来降低时序压力。

FPGA 高速采集板卡FPGA 开发2024.03-2024.12

项目概述：基于复杂光学系统的先进 FPGA 高速采集算法板，使用两片xilinx versal xcvm1402 先进 FPGA 进行开发，全高速外围硬件。

本人职责：fpga 开发调试，主导架构设计，参与算法设计，负责算法优化落地。输出文档。

项目成果：

- 外设部分：实现了2G采样率 DAC 的扫频配置驱动，2G采样率 ADC 的配置驱动，8通道JESD204B的确定性延迟调试，FPGA之间、与上位机之间的25G以太网通信，高频时钟芯片的配置等。根据眼图对SERDES的预加重、去加重等参数进行调整，以降低链路的误码率。
- 数据处理部分：在 FPGA 内部实现8路24Gbps采样数据超高带宽的混频解调、低通滤波抽取、匹配滤波、分段 FFT、循环错位相减、求相位幅度等数据处理。由于计算并行度大，会对计算的中间变量截取合适的位宽，对采集的数据规划出 250M/400M/200M/390.625M等时钟域并进行CDC处理。对复杂计算进行优化,比如100万点+的FFT拆分计算。
- 自由度：混频系数，低通滤波系数和阶数，匹配滤波系数，分段 FFT 重叠点数，错位数均实现上位机自由可调。采集长度，采样率，采集条数等大量采集相关参数也可自由配置。
- 同步：通过物理约束缩小两片 FPGA 之间 sync 信号的相位差，以同步两片 ADC 采集数据以及 DAC 扫频信号的同步。通过调试/配置 ADC/时钟芯片/jesd204b ip实现从信号输入 ADC 到 FPGA 获得数据的每次上电的确定性延迟，以实现 DAC 扫频和 ADC 采集的皮秒级同步。通过物理约束按皮秒级调整xppll相位，实现DAC 24对LVDS引脚使用ADVANCED IO跨 bank 的 xppll 时钟相位的同步。