

曹务飞

求职意向：FPGA 工程师 | 现居：贵州贵阳 | 电话：15180803571 | 邮箱：caowufei163@163.com

教育背景

贵州师范大学 | 电子信息工程 | 本科

- 主修课程：EDA 技术、嵌入式系统、现代通信原理、模拟电子技术、数字信号处理、传感器技术、微机接口技术。
- 专业课班级排名前 10，连续获得校级奖学金。

专业技能

- 开发语言与流程：使用 Verilog 进行 FPGA 逻辑设计，熟悉模块设计、功能仿真、综合编译、板级调试和开发文档整理。
- 开发平台与器件：熟悉 Quartus、ModelSim、Vivado；项目中使用过 Intel 系列 FPGA、Zynq-7020、Spartan-7、Kintex-7、Intel Cyclone IV EP4CE10F17C8N。
- 接口与外设：熟悉 I2C、SPI、UART 等常用接口；了解并验证过 GMII/RGMII、CAN、HDMI/VGA、DDR3、PLL 等模块或接口。
- 系统能力：具备 Zynq PS/PL 数据交互、PL 端工程搭建、外设控制逻辑、时序与仿真验证、软硬件联调经验。
- 数据采集与处理：具备多串口数据汇聚、协议打包、上位机传输显示、多频相位测距和光声光谱数字处理链路经验。
- MCU 与整机开发：具备 STM32F103 硬件设计、固件开发、上位机联调及小型设备从硬件到软件整体实现经验。
- 数字信号处理：具备 DDS、差频/下变频、数字锁相、FFT/全相位 FFT、幅相提取等 FPGA 实现和调试经验。

工作经历

2024.03 - 至今 | 江苏旭海光电 | FPGA 工程师

- 基于 Intel FPGA，使用 Quartus、ModelSim 负责光电检测相关设备的 FPGA 逻辑开发与仿真调试。
- 完成 32 路 UART 数据接收、缓存、合并、协议打包和上传，波特率 115200 bps，配合上位机完成实时数据显示与联调。
- 参与多频相位激光测距项目，实现三频测尺链路中的采样、差频/下变频处理、全相位 FFT 数字鉴相、相位提取和结果输出，目标覆盖 0.03m~40m 量程与毫米级精度。
- 参与光声光谱预研项目，完成 FPGA 侧 DDS 调制、采集同步、数字锁相/解调等部分模块验证，并配合上位机显示链路调试。
- 独立完成激光器老化板从硬件到上位机的整体实现，基于 STM32F103 完成红绿激光器老化控制、采集监控、通信协议和上位机联调。

2023.06 - 2024.02 | 深圳微特精密科技 | FPGA 工程师

- 参与基于 Zynq-7020 与 Spartan-7 的检测设备开发，负责 Spartan-7 侧纯逻辑控制，实现外部芯片控制、数据采集与回传。
- 根据 Zynq-7020 下发指令驱动各功能模块工作，并将结果数据回传至 Zynq PS 端，配合嵌入式工程师完成软硬件联调。
- 参与 Kintex-7 DDR3 数据读取异常定位，协助分析时序、读写链路和工程配置，并给出解决思路。
- 在项目中完成 I2C、SPI、UART 等接口模块调试，并对 GMII/RGMII、CAN、HDMI 等接口进行验证。

2022.07 - 2023.01 | 中科智博科技有限公司 | FPGA 工程师

- 基于 Intel EP4CE10F17C8N 参与项目方案讨论、FPGA 逻辑开发、功能仿真、综合编译和板级调试。
- 使用 Quartus II、Vivado、ModelSim 完成 Verilog 逻辑设计与验证，配合在线调试工具定位问题并推动系统联调。
- 整理项目设计与调试文档，支持项目从功能设计到系统调试完成。

项目经历

2024.03 - 2024.09 | 多通道采集数据合并与上传 | FPGA 工程师

- 基于 Intel FPGA 完成 32 路 UART 数据接收，单通道波特率 115200 bps，实现通道识别、帧同步、缓存管理和异常帧处理。
- 按上位机协议对 32 路数据进行整合打包并上传，支持上位机对各通道采集结果进行显示和分析。
- 参与 FPGA 与上位机的通信联调，定位串口链路、协议解析和数据显示中的问题，提升数据链路稳定性。

2024.10 - 2025.05 | 多频相位激光测距 | FPGA 工程师

- 基于相位式激光测距原理，参考 3.75MHz、30.75MHz、193.5MHz 三组测尺频率方案，面向 0.03m~40m 量程与 $\pm 1\text{mm}$ 目标精度设计 FPGA 侧处理链路。
- 实现采样数据接收、缓存与差频/下变频处理，将高频测距信号转换为低频参考/测量信号，便于后续鉴相和距离解算。
- 实现全相位 FFT 数字鉴相相关处理，完成频域峰值搜索、相位提取和中间结果输出，为三频相位解算提供稳定输入。
- 配合 APD/TIA/滤波/ADC 等前端链路完成联调，围绕相位展开、量程扩展、测距精度和数据稳定性进行问题定位。

2025.05 - 2025.12 | 光声光谱预研系统 | FPGA 工程师

- 参与光声光谱预研与方案验证，负责 FPGA 侧 DDS 调制信号输出、采集同步、数据缓存和协议上传等部分模块实现。
- 实现数字锁相/解调相关基础逻辑，对声学探头经模拟前端输出的微弱信号进行同步检测，提取目标谐波/幅相信息。
- 验证多通道并行采集与解调扩展思路，利用 FPGA 并行结构提升多路信号实时处理能力。

- 配合激光器、光声池/音叉、模拟前端和上位机进行阶段性联调，围绕调制频率、共振频率、信噪比和数据显示稳定性定位问题。

2024.12 - 至今 | 激光器老化板 | 硬件/嵌入式/上位机开发

- 基于 STM32F103 完成红绿激光器老化板从硬件设计、嵌入式程序到上位机的整体实现。
- 实现激光器老化控制、状态采集、通信协议和上位机数据显示/控制流程，支持设备老化测试与过程监控。
- 完成硬件调试、固件开发和上位机联调，独立打通从板级控制到 PC 端显示控制的完整链路。

2023.06 - 2024.02 | 基于 Zynq 的 LCR 功能开发 | FPGA 工程师

- 基于 Zynq-7020 完成 PL 端工程搭建与功能逻辑开发，负责 PL 侧代码编写、仿真验证及工程配置。
- 实现 PS 与 PL 间的数据交互链路，配合嵌入式软件完成指令下发、数据返回和功能联调。
- 完成 PL 端仿真检查，确保关键功能逻辑和配置流程正确。

2023.06 - 2024.02 | 基于 Spartan-7 与 Zynq 的 ICT 功能开发 | FPGA 工程师

- 基于 Spartan-7 完成 ICT 功能开发，根据 Zynq-7020 下发指令控制外部芯片工作，并将采集结果回传至 Zynq PS 端。
- 负责编写 DUT_PWR 相关逻辑代码，完成 Spartan-7 与 Zynq 之间的数据交互和联调验证。
- 配合 Zynq 侧软件完成整体功能开发，完成代码仿真并确认 PS/PL 数据传输正常。

2023.06 - 2024.02 | 基于 Spartan-7 与 Zynq 的 BSI 功能开发 | FPGA 工程师

- 完成 BSI 项目中 Spartan-7 侧控制逻辑开发，驱动相关芯片按 Zynq 指令工作并返回检测数据。
- 负责编写 BSI_SCOPEB 相关模块代码，完成模块仿真、接口联调和数据交互验证。
- 配合 Zynq 侧完成功能联调，保证 PL 端代码与系统流程匹配。

2022.08 - 2022.12 | 多通道专用传感器信号采集器 | FPGA 工程师

- 接收传感器 128 位输入数据，完成两通道数据拆分、等精度测量模块设计与调试。
- 完成 FPGA 与 STM32 的 UART 通信调试，将通道数据、精度和差值输出给屏幕显示流程。
- 完成 PLL 配置及相关时钟调试，保证 FPGA 与 STM32 通信链路正常。

2022.03 - 2022.06 | 千兆以太网双向图像传输与显示系统 | FPGA 开发工程师

- 实现上位机经串口发送图像数据至 FPGA，并将图像数据写入 DDR3 缓存。
- 设计 DDR3 读写控制、VGA/RGB 屏显示与以太网帧封装逻辑，支持图像数据本地显示和 PC 端显示。
- 完成千兆以太网编码、DDR3 控制器、VGA 接口协议和 RGB 屏幕显示模块开发与调试。