



基本信息

姓名：姚源敏 年龄：29岁
性别：男 婚姻状况：未婚
民族：汉 籍贯：广西
工作年限：5年经验 求职岗位：FPGA工程师
意向城市：深圳 期望薪资：28-30k
电话：13557169638(微信同号) 邮箱：2505674214@qq.com



教育背景

2017-06 ~ 2021-06 桂林电子科技大学 电信工程及管理（本科）

个人概述

5年FPGA开发经验，覆盖半导体测试设备、网络安全网关、高速分流器等多个领域。具备独立承担项目整体方案设计、核心模块开发及系统级调试的能力。熟悉Xilinx (Zynq/Versal/VU+/KU)、安陆、高云、紫光、复旦微等多厂商FPGA平台开发流程。拥有丰富的PCIE、以太网(RGMII/40GE/100GE)、Aurora、CPRI等高速接口调试经验，以及DDR缓存管理、流量统计、数据摆渡等复杂系统开发经验，善于定位和解决系统级疑难问题，具备良好的文档编写与跨部门协作能力。

工作经验

2026-02 ~ 至今 深圳市精智达半导体技术有限公司 FPGA工程师

FT S9881项目（DDR芯片测试设备）

- 项目背景：该项目为DDR芯片量产测试设备，整体架构包含Test Head、FEB（前端板）和ASIC三大部分，通过ATE测试机台对DDR颗粒进行功能与性能测试。
- 职责与贡献：负责Test Head部分的整体方案设计与开发调试。
- 主要工作：
 - 基于PCIE XDMA IP实现DMA数据收发，完成18路DMA通道调度设计与优化，保障多通道测试数据的并行传输效率；
 - 采用CPRI/Aurora协议实现Test Head与FEB之间的片间高速数据传输，通过分时复用机制同时承载DMA数据流与寄存器读写控制；
 - 设计I2C设备访问管理模块，完成PCA9505、UTP40、AD7616等多类器件的寄存器配置与读写控制，实现电压、电流、温度的高精度数字化测量；
 - 参与FEB部分的系统级DEBUG方案制定与跨板联调。

2023-07 ~ 2026-01 邦彦技术股份有限公司 FPGA工程师

服务器管理项目

- 项目背景：该项目为国产服务器平台的管理子系统，基于安陆FPGA实现整卡电源管理、复位时序控制及BMC管理接口通信等功能。
- 职责与贡献：独立负责CPLD侧的整体开发。
- 主要工作：
 - 设计I2C设备访问管理模块，实现服务器BMC与FPGA间的管理接口通信；
 - 完成整卡复位与上下电时序控制方案设计；
 - 提供CPLD在线升级接口，支持远程固件更新；
 - 负责方案制定、RTL编码及全流程BUG跟踪解决。

PCIE隔离卡项目

- 项目背景：该设备部署于高安全等级网络的内外网之间，通过分时复用机制实现物理隔离环境下的数据安全交换，满足网络隔离合规要求。
- 职责与贡献：担任项目负责人，完成整体方案设计与核心功能开发。
- 主要工作：
 - 1.基于分时复用机制实现内外网数据安全摆渡，确保同一时刻内外网无直接物理通路；
 - 2.采用PCIE XDMA IP完成CPU与FPGA间的高效数据解析与传输。

数据安全网关项目（VPN网关设备）

- 项目背景：该设备为IPSec VPN网关，部署于企业网络出口，实现内网与外网间的安全加密通信与访问控制，集成SM2/SM3/SM4国密算法。
- 职责与贡献：负责网络接口与核心安全功能开发。
- 主要工作：
 - 1.完成RGMII接口调试，实现100M/1000M网口自适应功能；
 - 2.设计Mac学习模块（支持64条Mac表、32条Arp表），完成仿真与上板验证；
 - 3.设计防火墙模块方案（支持1000条规则），完成编码与上板测试。

ATZ006项目（内外网隔离设备）

- 项目背景：该设备为专用网络隔离设备，部署于涉密网络与非涉密网络之间，实现受控的数据交换与安全防护。
- 职责与贡献：负责功能开发与后期维护。
- 主要工作：
 - 1.开发IPSec一级加密功能，实现报文查表处理（命中则传递给甲方算法模块，未命中丢弃）；
 - 2.整理甲方需求文档与Debug文档，完成工程集成与联调，主导定位解决联调过程中的系统级问题。

2021-06 ~ 2023-06

深圳市恒扬数据股份有限公司

FPGA工程师

G2 V3.6项目

- 项目背景：该设备为网络流量分析平台的前端处理板卡，对4个100GE口的线速流量进行实时统计与缓存，输出NetFlow格式报文供后端分析系统进行网络态势感知与异常检测。
- 职责与贡献：负责两大核心模块的方案设计与开发。
- 主要工作：
 - 1.流量管理模块：支持4个100GE口的实时流量统计（五元组、包数、字节数），覆盖1.96亿IP。设计Hash冲突管理、请求调度、线性地址空间管理、数据整合等子模块，表项写入DDR4并封装为NetFlow报文从100GE口发送。完成方案设计、编码、仿真用例及功能测试；
 - 2.报文缓存模块：支持4个100GE口报文缓存（每口1024MB），实现DDR4定时缓存与读取转发。完成RTL编码、仿真验证及上板功能测试。

HPU.V5.0项目

- 项目背景：该设备为高性能以太网分流器，部署于骨干网络节点，对4×100G线速流量进行实时采集、深度过滤与分流输出，供后端网络安全审计、流量分析等业务系统使用。
- 职责与贡献：负责多个核心功能模块的开发与维护。
- 主要工作：
 - 1.报文识别模块：识别链路层/网络层/传输层报文，提取关键信息更新至Tag表；
 - 2.精确五元组规则模块：支持800万条规则（软件下发），通过五元组Hash寻址DDR，支持6级冲突。实现ByPass/LookUp双模式，完成实时查表与Tag更新；
 - 3.分片跟踪模块：建立分片跟踪表存储首包动作属性，处理非首包跟随逻辑；对提前到达的非首包进行储存，定时读出查表，未命中则丢弃；
 - 4.报文编辑模块：根据Tag信息修改报文内容（五元组、VLAN、MPLS等）；
 - 5.负责组内版本自测、板级调试及文档整理。

工作技能

- 熟练掌握Verilog HDL，具备良好的编码风格和RTL流水线设计能力；
- 熟练使用Vivado、TangDynasty、GoWin、PDS等EDA工具，精通ModelSim仿真及测试用例编写；
- 熟悉I2C、SPI、UART、AXI4/AXI4-Lite、PCIe、RGMII、Aurora、CPRI等总线与接口协议；

- 熟悉异步FIFO、BRAM/URAM等片上存储资源的设计与应用，具有PCIE XDMA、40GE/100GE Ethernet、Aurora等IP的集成与调试经验；
- 具有Xilinx Zynq/Versal/Virtex UltraScale+、安陆、高云、紫光、复旦微等多平台项目实战经验。