

孙畅

电话：18624212110 | 邮箱：sunchang72@163.com

年龄：26岁



工作经历

TCL华星光电有限公司-电子电路系统开发工程师

2021年07月 - 至今

- 连续三年获得A绩效
- 2021年-2024年，主要负责FPGA整合及算法、通信等IP的开发，熟悉Xilinx, Interl, Anlogic等多平台的FPGA设计，Modelsim, Questasim等仿真软件，负责项目整体FPGA架构的设计，时钟方案规划及各IP的整合，时序约束等，联合仿真调试，上板验证，稳定性验证等工作，并完成多款IP的开发，应用于多个项目，并能快速准确地定位并跟踪issue，推动问题及时合理地解决。负责设计开发的FPGA平台21.6项目已量产出货于多个客户，截至目前平台稳定，收获客户好评。
- 2024年8月-至今，作为14' WU NB HAH项目窗口，对接客户，项目组，外部门，厂商等需求，管理项目时程，统筹项目进展，确保对应节点成果产出，确保项目量产，进行风险评估，物料管控，材评选商，RFI评估，客户AR答复，系统架构评估，熟练使用Candance完成一款XC、FPC设计及验证，EDID编写，功耗优化，上下电时序规划验证，完成standalone测试，RF测试，插拔测试，产品规格书输出等，完成了两颗TCON IC, 4款PCBA，2款FPC导入，并同步完成竞品解析，对比验证结果输出，确保项目时程及规格达成。

项目经验

14'WU NB Panel

2024年08月 - 至今

- 作为第一个印刷OLED NB量产项目的部门窗口，完成多家客户RFI评估，FPC, PCBA尺寸厚度评估，系统架构评估，项目时程评估，IC选型&FPC&PCBA选商评估，风险评估，RC及功耗评估，产线方案评估，预算评估，等前期评估工作
- 使用Candance完成FPC，XC硬件设计，上下电时序设计，设计验证方案人员规划，BC架构设计，EDID编写，整理Design information for厂商code产出，并同步推动EL转板，线材等物料设计产出，推动项目时程提前，并提前验证XC，带领团队实现了MOD产出上电即点亮成功
- 推动逻辑功耗优化，完成UBRR_ZR, AUX_LESS ALPM(LOBF)功能的导入验证，完成standalone测试，RF测试，Intel、Qualcom平台的插拔测试，整机测试等，产品规格书输出，共完成了两颗TCON IC, 4款PCBA，2款FPC导入，确保量产方案，并推动算法实验室及产线的导入，快速准确的定位issue, 并规划资源推动快速合理的解决，确保达成项目规格
- 统筹规划团队Decape竞手产品，对标项目规格，对比验证结果，吸收相关经验，确保项目品质，同步指导新人完成相关的设计验证工作，输出code list, issue list, QA list, NB产品Decape验证项，整机测试List, 项目导入流程等多种规范文件，应用于多个项目，提高了工作效率和工作规范

21.6医疗屏

2023年12月 - 2024年11月

- 作为21.6项目FPGA窗口，对接项目需求，项目时程及进展等，负责Anlogic FPGA平台的导入，整体架构的设计，时钟方案，及复位逻辑的规划，仿真验证方案及上板测试方案的评估，整合FRC、PLC、UI、PMIC、EEPROM、EDP等IP，并导入替换成Anlogic平台对应的IP核，完成code编写，时序约束，引脚约束，设计联合仿真测试tb文件，进行仿真验证，上板验证，及稳定性验证等，完成20+版本的迭代，整理对应的工程，工具及版本迭代记录，和code check list，方便后续维护，负责15+的issue解析，能快速准确的定位问题，给出解决方案，产出解析报告，确保项目时程, 最终量产出货

14'通用FPGA开发

2023年03月 - 2023年09月

- 参与FPGA RTL设计，负责多个ip的开发，实现interl与xilinx平台兼容
- ui ip开发：实现FPGA端与PC的交互, 控制各个算法所需参数及lut的下发，控制与flash间的交互，将模块实例化，方便各个算法模块调用，简化工作，设计PC USB接口传输到通信转板转化成LVDS通信到FPGA 处理并区分LUT, Para, 硬件电压调试等数据等分发到各IP模块，可同步选则在线生效还是烧录Flash，并可回读目前FPGA Para, LUT, Flash数据等，确定目前FPGA状态，实现面板实时侦测命令下发，FPGA打包回传数据回传PC，设计通信协议及握手机制，增加检验机制，每页数据生成校验码，三方Check校验码，确保数据无误，与emmc/Flash交互存储方案及与算法参数及数据下发格式，ui的架构，接口，时序，联合仿真验证方案及上板验证方案规划，联合仿真及上板验证，与emmc/Flash交互的RTL开发，实现ui可写入/读取，FPGA上电时各算法读取emmc中存储数据并进行mapping后通过para bus及跨时钟域模块下发到各IP，实现上电正常显示，方便对比数据，查找问题，便于调试验证。
- DRP动态重配置端口ip开发：si5344和cp11上电时序修改，TX, RX数据输出选择修改等，实现3/4byte显示实时切换，不需要重新跑工程，方便项目调试，提高效率，为量产开发提供进一步可能。

31' 4k OLED驱动系统FPGA开发

2022年03月 - 2023年03月

- 1. 面板侦测算法ip开发：包括实现自动IC电压校正，自动侦测算法及其迭代功能和下电侦测功能，显示随机侦测算法三个子IP功能的实现，用过UI下发侦测命令，刷新面板后通过ADC采样By IC各通道数据回传，与读取来自DDR的Vth和K，并对Vth进行坐标域转换，生成迭代数据，并同时对面板侦测回传的数据进行解码，得到当前侦测的数据，并于上次的迭代数据叠加，处理后存入Sram，等待DDR和PC的读取，并将侦测和校正的数据经过打包成规定格式，通过判断模式选择需要上传的数据类型，输出到SD IC到面内或回传PC，同时控制TX，RX模块数据下发，goa模块时序控制和控制source ic命令传输，编写算法与DDR MIG核的交互控制模块时序，实现将DDR补偿数据mapping计算输出给IC进行sense，及将侦测数据mapping处理传输给DDR或PC进行存储，并将数据存入flash实现上电读取补偿，实现算法数据实时写入DDR，flash并读出。
- 2. 通用IIC ip开发：支持PC端UI下发或上层模块调用控制写入或读取及其传输速率，单byte传输或多byte传输，多地址和多数据选择下发等，后续ip开发可直接调用，减少修改，为后续开发提供了极大的方便。

教育经历

沈阳工业大学-智能科学与技术 本科

2017年09月 - 2021年06月

其他

- **技能**：熟悉verilog语言、C语言、python等语言，熟练使用interl,xinlinx，asic等芯片，熟练使用vivado,quartus,modelsim,matlab等软件，熟练使用Candance完成FPC，XC硬件设计，熟悉嵌入式系统，stm32,51单片机等，学习过数字图像算法，机器学习，深度学习等；
- **语言**：CET-4，掌握基本的听说读写能力，具有良好的学习能力；
- **兴趣爱好**：喜欢看书，看剧等，休息时曾参加FPGA培训，获得学习证书；