

王圳

求职意向：FPGA逻辑开发

意向城市：深圳/杭州/成都/上海



工作经历

2025-07 ~ 至今

深圳市科曼医疗设备有限公司

FPGA工程师

科曼一体机（高端软镜）显示处理平台 FPGA 开发

- 参与高端医疗软镜一体机显示处理平台研发，负责 FPGA 视频处理架构设计、核心逻辑开发及系统联调
- 负责 HDMI/SDI 高速视频接口开发，包括 HDMI 2K/4K TX/RX、3G-SDI TX/RX、12G-SDI TX 等高速视频链路设计，实现多分辨率兼容显示。
- 设计并实现 FPGA 端视频处理功能，包括 PIP/POP、多路视频融合、双光双画显示、实时图像截取与拍照等功能模块。
- 负责 UltraScale FPGA 平台时钟树规划、GTH 高速收发器时钟管理、CDC 跨时钟域设计及模块级复位隔离设计
- 负责产品私有视频控制协议设计，实现 FPGA 端协议解析、状态管理及系统级联调验证。
- 完成 FPGA 端部分视频算法模块开发，包括双线性插值、图像缩放等功能。



技能

- 熟练使用 Verilog/SystemVerilog 进行 FPGA RTL 开发，熟悉 Vivado、Quartus II、Pango、ModelSim 等开发及仿真工具。
- 具备 AMD/Xilinx UltraScale FPGA 开发经验，熟悉 GTH 高速收发器、VPHY、SMPTE UHD-SDI、HDMI RX/TX 等高速视频接口开发。
- 掌握 HDMI 2K/4K、3G-SDI、12G-SDI 等视频协议，具备视频处理链路设计经验。
- 熟悉 AXI4/AXI-Stream、UART、SPI、I²C 等接口协议及 FPGA 控制逻辑开发。
- 熟悉 DDR3/DDR4 等存储接口设计，具备高速视频数据缓存及传输经验。
- 熟悉 FPGA 时钟规划、复位设计、CDC 处理及时序约束优化，掌握 XDC 约束、Input/Output Delay、False Path、Multicycle Path 等时序分析方法。



教育背景

2022-09 ~ 2025-06

杭州电子科技大学

通信工程（硕士）

2017-09 ~ 2021-07

郑州工程技术学院

电子信息（本科）



校园经历

2024-03 ~ 2024-07：在校参加集创赛期间使用紫光同创 FPGA 及 Pango 开发环境完成项目开发，熟悉国产 FPGA 工具链及开发流程，具备国产 FPGA 开发经验，



27岁



男



173cm/77kg



汉族



河南



共青团员



1年经验



18530823706



1240306894@qq.com



18530823706