



基本信息

姓 名：殷川植

求职意向：FPGA 研发工程师

联系电话：13141460215

年 龄：1995.12

电子邮箱：843524035@qq.com



个人技能

- Verilog /RTL编码，有良好的编码风格；可编写部分c语言，tcl，python 等测试脚本。
- 可编写 AXI、AHB、APB 等总线协议；熟练编写 iic、uart、spi 等低速外设传输协议。
- 独立完成项目工程，开发到程序的仿真和调试。
- 熟悉 FPGA 各大厂商的产品使用，如 Xilinx、Synopsys、S2C、安路、米联客等。
- 具备资源整合能力，可进行方案设计，逻辑资源评估，平台选型。
- 熟练操作示波器、频谱仪等，可阅读原理图测试部分硬件问题。



工作经历

2025.10-至今

北京北明航空有限公司

FPGA 研发工程师

项目1：天地网关的项目的初期调研和方案制定

- 项目描述：根据项目需求，调研了网关枢纽的具体转换过程，制定了初版的方案。
- 具体内容：
 1. 将需求书功能细化，任务分区，产品芯片选型。
 2. 根据相关论文解析CCSDS航空协议的相关内容，制定其和以太网协议栈的转换方案。
 3. 设计FPGA的部署通路，定义RTL编码框架。
- 成果：输出第一版方案调研项目书。

项目2：基于xilinx 配合算法完成DPU深度学习模型的部署。

- 项目描述：根据项目需求，在ZYNQ上搭建DPU深度学习模型的AI算法部署的通路。
- 具体内容：
 1. 实现DPU在FPGA上相关逻辑部署，保留RAM的初始化功能，将数据处理逻辑搬到PL侧；
 2. 根据算法需求，协助算法工程师对FPGA进行选型。
 3. 评估通路性能，编码分帧逻辑。
- 成果：
 1. 替换ARM中的部分算法逻辑，使用PL硬件逻辑完成前端信号算法处理，提升通路的传输性能；
 2. 完成DPU部署的通路规划和搭建，RTL编码和block design生成；
 3. 结合FFT IP实现STFT的处理：前处理分帧、加窗等，后处理FFT输出数据格式变换int8。
 4. 根据项目的需求，前期调研需多方案比对，对性能和可实施性需要把握。
 5. 自学信号的算法处理，完善测试。

项目1：基于xilinx 实现ATE研发的部分功能

■ 项目描述：根据项目需求，实现ATE的模拟信号发生，和DUT的输出的激励响应采集，完成编码和调试。完成16片电源使用调度逻辑及配置，并根据不同的报警类型输出对应的处理机。

■ 具体内容：

1. 整合ADATE305 DCL和ADATE207 信号格式化的芯片材料资源，设计通路，搭建工程；编码部分包括：uart、spi低速外设模块、软件包到axi协议的转换模块、传输数据的格式解析和封装等。
2. 根据手册，编写DUT的模拟激励；配置207内部寄存器，实现动态或固定激励输出（软件实时配置或rom固定初始化）；配置305内部寄存器，配置输出DUT所需电平，采集响应。
3. 完成AD5560 电源通路的数据采集和报警处理。包括了使用AD8685芯片完成信号的模数转换和数据存储；编码部分包括：多模式下芯片功能的mux模块切换、解收数据格式包、报警信息调度和反馈抑制处理等；
4. 根据手册对电源完成多级并行级联和串行级联的配置并测试。

■ 成果：

1. 完成上述工作的研发和调试优化部分；
2. 协助硬件工程师定位电源通路中的硬件问题，梳理问题点，聚焦开关芯片异常，电容放电时间过长，超过FPGA内部的逻辑处理的节点，更换电容解决。
3. 通过对逻辑的优化，缩短了报警设计的处理时间。

项目2: 基于xilinx 实现TOF的测距工程搭建

■ 项目描述：根据项目需求，使用tof050c、tof400F等测距模块搭建FPGA测试工程。

■ 具体内容：

1. 将测距模块根据功能封装成对应的芯片内存初始化配置单元，软件通过模式切换进行一键调用；
2. 编程内容包括：tof模具的初始化模块、iic传输通路、配置包格式转换等。
3. 完成测距通路调试，并封装程IP core。

■ 成果：

1. 完成上述工作的研发和调试优化部分；
2. 优化IIC协议逻辑，可进行多笔数据的连续写入。

项目3: 基于xilinx 实现鉴频鉴相器的配置通路和测试

■ 项目描述：了解ADF集成VCO锁相环的工作原理，搭建配置工程并测试。

■ 具体内容：

1. 整合adf5355和adf4356芯片资料，分别搭建其配置通路并测试；编码部分包括：uart、spi单向配置通路、不用测试场景下的初始化和配置mux封装。
2. 根据不同使用场景设置reg参数，计算各个reg的倍频分频系数，生成查找的excel。

■ 成果：

1. 完成RTL逻辑编码和后续调试；

2. 定位到跨时钟域中出现的亚稳态问题，修改pipe级数1变2。
3. 多case测试场景中，编写python脚本进行测试，并将结果自动写入excel节省测试时间。
4. 主要的开发任务分两部分，一是多级电源模块的调度和报警处理。二是一些外设协议和配置通路的搭建。
5. 完成ADI公司多款芯片的工程制作，主要包括207、305、5355、5560、8685。

项目4: 基于安路 双片交换器的信息同步模块开发

- 项目描述：根据项目需求，将交换器上的信息分为RX、TX向，在两块FPGA上进行数据交互同步处理。
- 具体内容：
 1. 搭建PCIe ELBI接口到apb外设的传输通路，实现多级间协议格式的转换，ELBI到AHB到APB。
 2. 完成发送和接受协议包到FPGA上的数据解析转换，搭建工程，并完成仿真和板级调试。
- 成果：
 1. 完成RTL逻辑编码和后续调试；
 2. 进行资源及时序优化，采用复用设计节约逻辑资源使用。

2020.4-2023.8

北京灵汐科技有限公司

FPGA验证工程师

项目1：基于芯神童和ZYNQ 图像处理模块的原型验证

- 项目描述：搭建驱动和IC图像处理通路的调试环境。
- 具体内容：
 1. 将VPU、VPSS等图像IC设计中不可综合实现的资源，替换成FPGA可编程逻辑。
 2. 初始化ZYNQ PS参数，完成PL侧和FPGA开发板的逻辑处理。
 3. 协助驱动，定位问题。

■ 成果：

节省调试成本，通过aurora协议将FPGA和ZYNQ的逻辑做一个片上系统的连接，对图像设计进行拆分，完成整条通路SoC的搭建。

项目2: 基于HAPS80 天机IC设计逻辑的原型验证

项目描述：搭建天机芯片IC逻辑的FPGA原型验证环境。

- 具体内容：
 1. 集成第三方网表或是IP替换ASIC设计中原不可综合的时钟树，RAM，和运算资源。
 2. 规划多片FPGA级联的资源摆放和分割方案，优化系统分割后的每片资源占比，尽量资源使用最大化。
 3. 通过更改级联接口的位置，修改TDM的ratio复用，调节运行性能。

■ 成果：

完成两台HAPS80的FPGA级联，系统速度在8Mhz左右。

项目3: 基于米联客 实现视觉传感器的配置通路

项目描述：根据项目需求，实现清华“天眸芯”的FPGA配置通路搭建。

■ 具体内容：

1. 将sensor图像采集的信息传输到上位机，同时将上位机指令下发到sensor。实现模块包括：block design搭建、收发的数据包格式转换、收发包信息解析等。
2. 根据“天眸芯”的项目需求书，制定FPGA的通路方案以实现硬件数据采集到软件指令反馈等处理。
3. 调整代码结构和内部逻辑关系，优化资源使用，进行时序收敛。

■ 成果：

1. 参加了“天眸芯”视觉传感器产品的车载试用测试，完成了以PCIe协议-XDMA访问的FPGA逻辑开发和调试。以及产品升级后usb协议工程的优化。

2018.8-2020.2

北京亚科鸿禹有限公司

FPGA逻辑工程师

项目：多型号FPGA平台的性能测试工程搭建

■ 个人职责与成果：

1. 搭建亚科研发的多平台的用户demo工程。
2. 搭建逻辑工程，测试硬件的一些外设及其相关性能。包括：低速外设，PCIe训练状态，普通IO插座性能的频点测试，transceiver插座的ibert眼图等；（产品型号：E4000、VU9P、K115）。
3. SDK（Vitis）编写压测的c语言脚本，加载到microblaze软核中完成压测工程。
4. 使用petalinx制作boot.bin文件。
5. 根据需求，为客户搭建cameralink、highspeed IO等接口的使用demo。

📖 教育背景

2014.9-2018.7

大连东软信息学院（学信网可查二本）

微电子科学与工程专业 CET4

📖 个人评价

具备扎实的FPGA理论基础和丰富的实践经验，有独立解决问题的能力。精于RTL编码。

能够根据需求，快速制定设计方案并编码。抗压性高，调试思路清晰，有协同能力，责任感强。