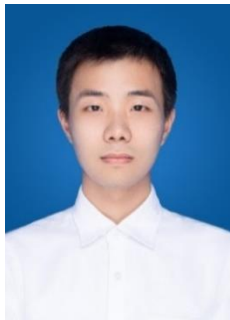


杨鸿伟

求职意向：
FPGA 开发工程师



现居住地：北京昌平
求职状态：月底离岗
家庭地址：江西赣州
政治面貌：共青团员
出生年月：2000.01
联系电话：
18043694356
电子邮箱：
why8928@foxmail.com

教育背景

江南大学 (211 工程大学)
微电子科学与工程专业

物联网工程学院
2018 - 2022

课程涉及：数字、模拟集成电路设计、工艺基础、版图设计、嵌入式设计、版图设计技术、磁场与电磁波、信号与系统等。

工作经验

2022.6-2024.10 无锡芯光互连技术研究院 数字 IC 设计

负责网络安全模块部分集成与维护、FPGA 环境搭建与调试等工作；参与路由算法实现，TOE、PCIE 模块的部分评估与验证工作：

- 1、参与 sha、aes 模块的集成、验证、流片，申请专利 5 份。
- 2、负责搭建 HAPS 环境，为 nvdla、lpddr4 等模块进行原型验证。
- 3、参与晶上系统路由网络配置、LVDS 等验证，负责 FPGA 移植。

2024.10-2025.9 奕瑞电源科技(上海)有限公司 射频 FPGA

负责 AD9959 等部分芯片驱动代码编写、仿真及上板调试和维护；独立完成三个工业级现场总线协议的接口方案设计、代码实现和上板调试工作 (EtherCAT、DeviceNet、profibus) 。编写调试文档和系统文档，正在交接射频系统代码 (zynq7020) 。

2025.10-至今 北京凌思微电子科技有限公司 数字 IC 工程师

负责 3 款 SerDes 芯片 (e16g/e64g/e112g) 数字前端全栈开发，覆盖 JTAG 配置 IP 模块从架构到 Sign-off 的全生命周期。独立完成 JTAG 配置 RTL 设计、Spyglass 静态验证、DC 综合、FM 形式验证、门级后仿真和 FPGA 上板验证。

荣誉技能

软件技能：熟练使用 vcs、verdi、spyglass 等工具，熟悉 JTAG、APB/AHB、pipe、AXI、LVDS、tilelink 等接口协议，了解 PCIE6 协议、RISCV 指令集、Kintex-7 系列 FPGA 芯片等；熟练使用 Vivado、HAPS protocompiler 等搭建环境并调试；熟悉 Modelsim、Quartus、ISE、Altium Designer 等软件。
编程语言：熟练使用 Verilog、VHDL 编写代码、tcl 和 xdc 等各种约束实现，熟悉 C、C++、Chisel、hspice 等软硬件语言。
2018.11 江南大学第十一届计算机技能团体挑战赛三等奖
英语水平：CET4、CET6

自我评价

个性开朗，容易相处，能自主学习并发挥逻辑分析能力解决实际问题，具有良好的团队协作能力和心理承受能力。



项目经验

网络安全模块集成（已流片）

- 1、负责 sha 算法集成与维护，参与 aes 算法维护测试，编写 axi 到 wicbone 协议转换模块；
- 2、使用 vcs 对 sha 模块进行仿真验证，并编写测试样例，用 vivado 在 vc707 开发板上测试；
- 3、进行覆盖率检查，修改代码提高模块覆盖率，学习使用 spyglass 并编写使用说明文档。

FPGA 环境搭建（HAPS）

- 1、根据 synopsys 的 haps 80 相关文档资料以及部分例程，整理 HAPS 环境搭建需求文档；
- 2、根据需求编写约束等搭建工程测试样例环境，并出差北京进行现场调试；
- 3、配合同事编写 nvdla 的测试样例并进行原型验证，查找 lpddr4 环境搭建失败原因。

FPGA 系统维护与移植

- 1、负责 vcu129 开发板验收、测试环境移植、ddr4 使用、日常验证需求和维护等工作；
- 2、使用 quartus 对 intel Stratix_10 MX 进行验收测试，并对 hbm 进行简单测试；
- 3、移植部分样例在国产 FPGA（325t、90k、690T）环境对 nvdla 进行原型验证；
- 4、参与晶上系统路由网络配置，调研部分 TOE、PCIE 的模块并验证可行性。

工业级现场总线协议的接口方案（EtherCAT、DeviceNet、profibus）

- 1、根据协议内容和客户需求编写设计接口方案，依托致远电子等公司从站设备进行设计；
- 2、根据评审后修改方案进行 RTL 代码编写、仿真以及上板验证，在实验产品上完成主从通信；
- 3、根据评审后修改意见增添功能并上板测试，编写测试样例和文档并调研主机实现方案。

射频电源控制系统日常维护

- 1、负责 AD9959 等部分芯片驱动代码编写、仿真及上板调试和日常测试维护等；
- 2、交接射频系统代码，更新系统框架图，补充寄存器文档和系统说明文档等。

E16gPHY 芯片研发(28nm,PCIE4,已投片)

- 1、负责 e16gPHY 芯片的数字部分 rtl 设计，编写 jtag 配置和接口切换模块，用于例化并配置 IP。
- 2、负责 e16g 项目的前端和中端工作，包括 vcs 前仿真验证、dc 综合、fm 形式验证，sdc 编写，spyglass 签核和后仿真验证数字流程，和后端工程师对接等。
- 3、负责 e16g 项目的 FPGA 原型验证工作，将编写的 rtl 和 IP 重要接口移植，并在 vcu118 上板验证。

E64g 和 e112gPHY 芯片研发(7nm,PCIE6,已投片)

- 1、负责 e64g 和 e112gPHY 芯片的数字部分 rtl 设计，编写 jtag 配置和接口切换模块，编写 pipe 协议配置模块和数据收发验证模块，用于例化并配置 IP。
- 2、负责 e64g 和 e112g 项目的前端和中端工作，包括 vcs 前仿真验证、dc 综合、fm 形式验证，sdc 编写，spyglass 签核和后仿真验证数字流程，和后端工程师对接等。
- 3、负责 e64g 和 e112g 项目的 FPGA 原型验证工作，移植编写的 rtl 和 IP 接口到 vcu118 开发板，用 python 编写 jtag 上位机，进行上板验证。