

胡文瀚

13767109056 | wenhan_hu@163.com

教育背景

伦敦大学学院 (QS:9)	伦敦, 英国	2022.09-2023.12
硕士研究生 电气与电子工程		
利物浦大学 (英国大学排名 32)	利物浦, 英国	2019.09-2021.07
本科 电气与电子工程		
西交利物浦大学	苏州, 中国	2017.09-2019.07
本科 电气工程及其自动化		

工作经历

新凯来集团	2024.01 - 2026.05
研发工程师	

工作概述: 参与光学量测相位解算卡、高精定时同步卡等项目, 负责核心模块 RTL 设计; 熟悉 IIC/SPI/UART/PCIe/千兆网/RMII 等接口并在项目中应用; 具备 VCS/Verdi 单元测试、SpyGlass 静态检查、TCL/Python 自动化流程能力, 以及跨 die 时序收敛与多时钟域数据链路经验, 熟悉 Xilinx UltraScale+(Vivado) 全流程开发。

主要工作:

- 通信接口:** 熟悉 IIC、SPI、UART、PCIe、千兆网、RMII 等协议, 基于 CBB 高速接口完成业务对接与数据通路集成;
- 数据通路:** 设计数据帧格式, 实现相位、DFX、原始 ADC 等数据组帧上送, 全链路 0 丢包、上送时延 $<2\mu s$;
- DFX 与可靠性:** 开发故障树检测与 DFX 状态监控, 处理跨 die 时序违例, 完成多时钟域 CDC 与高可靠数据链路设计;
- 验证自动化:** 使用 VCS/Verdi 做模块级单元测试与回归, SpyGlass 做 lint/CDC 检查, 开发 TCL/Python 版本生成与测试报告自动化流程;

项目经历

基于 VU13P 的光学量测相位解算卡 FPGA 开发

FPGA 逻辑开发	2024.10 - 2026.05
-----------	-------------------

项目背景: 负责激光干涉仪解算卡 FPGA 开发: 干涉信号经 APD 光电转换、AD9253(14bit/120MSPS) 采样后, 由 Xilinx VU13P FPGA 实时解算相位, 支撑工件台亚纳米级闭环定位, 同时需将相位、监控与原始数据高速可靠上送。

项目职责:

- 集成时钟复位、ADC 采样、相位解算、PCIe、日志上送、伺服接收等模块, 打通下发与上送完整链路;
- 实现相位数据组帧打包, 构建 sp 调度通道以最高优先级通过 PCIe 的 DMA 通道快速上送, 上送频率 40kHz, 链路时延 $<2\mu s$, 确保相位数据以超低时延完成上送;
- 开发 AD7606 状态监控 (功率/温度/直流偏压) 功能并实现 AD9253 原始数据直传, 全量收集 DFX 监控数据, 大幅提升问题排查效率;
- 优化解算引擎资源使用, 处理跨 die 时序违例; 完成 Vivado/SpyGlass 告警全量排查, 严守版本出口质量;

项目成果:

- 实现亚纳米级量测精度, 支持 20 路传感器并行采集, 原始数据最大支持 8 通道 7.5s 上送, 单次最大数据吞吐约 16GB;
- 迭代交付 10+ 个逻辑版本、AR 需求 120+, 联调阶段闭环 10+ 项信号链路问题, 交付后连续稳定运行 5 个月无下游问题;

基于 KU040 的高精定时同步卡的 FPGA 开发

FPGA 逻辑开发	2024.01 - 2024.10
-----------	-------------------

项目背景: 负责 UART IO 子板 FPGA 逻辑开发。系统由主控板、控制堆底板和 IO 板组成, 主控板经 PTP 与控制堆底板定时, 再经 SYNC 脉冲对 IO 板定时; UART 板基于 Xilinx KU040 FPGA 承担以太网级联路由、自定义 Fieldx 协议栈解析与组包, 指令分发与业务数据汇聚, 含 2 路千兆网级联、RMII 桥接 STM32、11 路 UART 及 SYNC 脉宽解码定时。

项目职责:

- 集成千兆以太网, RMII, UART 等模块, 开发自定义 Fieldx 协议栈解包和组包功能, 实现网络报文解析与组包, 打通 11 路串口数据下发与上送的完整链路;
- 开发 SYNC 脉宽解码定时模块, 实现 IO 板与底板时间戳同步;
- 构建完备故障树检测体系, 覆盖时钟频偏失锁、FIFO 空读满写、奇偶校验异常等 18 种异常检测;
- 完成 Vivado/SpyGlass 告警全量排查, 代码覆盖率提升至 100%;

项目成果:

- 硬件同步时延 $<100ns$; 故障定位由”小时级”缩短至”分钟级”, 整体排查时间缩短一半以上;
- 代码覆盖率由 80% 提升至 100%, 协助团队一次性通过 TR5 评审, 交付后连续稳定运行 5 个月;

专业技能

工具链	熟练使用 Vivado(Xilinx UltraScale/UltraScale+ 系列) 完成逻辑开发全流程, VCS / Verdi 开展模块级单元测试与回归验证, 使用 SpyGlass 进行 lint / CDC 等电路静态检查, 使用 TCL / Python 构建版本生成、测试报告生成等自动化流程
接口与协议	熟悉 IIC、SPI、UART、PCIe、千兆网 (GbE)、RMII 等通信协议格式与私有协议的组帧, 分发和解包
FPGA 设计	熟练 Verilog 逻辑设计与模块化架构划分, 时序约束与收敛, 跨 die 信号时序违例处理, 和资源使用优化
验证与自动化	熟悉模块级单元测试、故障注入验证、回归测试和 TCL / Python 脚本流程化提升